

# AIS DT

## Podręcznik referencyjny sterownika AIS.AS

### Cz.1

2020.09.30

© 2020 OPTIMUS. All rights reserved.

## Spis treści

1.	Wprowadzenie .....	2
1.1.	Specyfikacja mikrokontrolerów serii G4 .....	3
2.	Przegląd systemu i pamięci .....	4
2.1.	Architektura systemu.....	4
2.2.	Organizacja pamięci.....	6
2.3.	Pasma bitów .....	10
2.4.	Wbudowana pamięć SRAM .....	11
2.5.	Pamięć FLASH - przegląd.....	13
2.6.	Konfiguracja rozruchu .....	14
3.	Wbudowana pamięć FLASH (FLASH) dla urządzeń kategorii 3.....	16
3.1.	Wprowadzenie.....	16
3.2.	Główne cechy FLASH .....	17
3.3.	Opis działania FLASH.....	17
3.4.	FLASH bajty opcjonalne .....	31
3.5.	Ochrona pamięci FLASH.....	41
3.6.	Przerwania FLASH .....	48
3.7.	Rejestry FLASH .....	48
4.	Kontrola zasilania (PWR) .....	66
4.1.	Zasilacze .....	66
4.2.	Kontrola stanu zasilania.....	72
4.3.	Tryby niskiego poboru mocy.....	74
4.4.	Rejestry kontroli zasilania .....	88
5.	Reset i kontrola zegara (RCC) .....	104



**Fundusze Europejskie**  
Program Regionalny



**Unia Europejska**  
Europejski Fundusz  
Rozwoju Regionalnego



5.1.	Reset .....	104
5.2.	Zegary .....	107
5.3.	Tryby niskiego poboru mocy.....	118
5.4.	Rejestry RCC.....	118
6.	Uniwersalne wejścia / wyjścia (GPIO) .....	168
6.1.	Wprowadzenie.....	168
6.2.	Główne cechy GPIO .....	168
6.3.	Opis funkcjonalny GPIO .....	168
6.4.	Rejestry GPIO.....	177
7.	Niezależny nadzór (watchdog IWDG).....	184
7.1.	Wprowadzenie.....	184
7.2.	Główne cechy IWDG .....	184
7.3.	Opis działania IWDG .....	184
7.4.	Rejestry IWDG.....	186
8.	Podpis elektroniczny urządzenia .....	189
8.1.	Unikalny rejestr identyfikatora urządzenia (96 bitów) .....	190
8.2.	Rejestr wielkości pamięci Flash .....	191

## 1. Wprowadzenie

Podręcznik referencyjny jest przeznaczony dla twórców aplikacji. Zawiera pełne informacje na temat korzystania z pamięci i urządzeń peryferyjnych inteligentnego sterownika AIS.

Wykorzystana rodzina mikrokontrolerów STM32G4 to seria o różnych rozmiarach pamięci, pakietach i urządzeniach peryferyjnych.

Tabela 1 Rozmiar pamięci dla produktów serii G4

Memory density	Category 2	Category 3
128 Kbytes	STM32G431 STM32G441 (AES)	STM32G471 STM32G473 STM32G474
256 Kbytes	-	STM32G471 STM32G473 STM32G474
512 Kbytes	-	STM32G471 STM32G473 STM32G474 STM32G483 (AES) STM32G484 (AES)

## 1.1. Specyfikacja mikrokontrolerów serii G4

Tabela 2 Pełna specyfikacja produktów serii STM32G4

Feature	STM32G474/ STM32G484	STM32G473/ STM32G483	STM32G471	STM32G431/ STM32G441
Flash	512K, Dual bank	512K, Dual bank	512K, Dual bank	128K, single bank
SRAM1	80K, parity check on the first 32K	80K, parity check on the first 32K	80K, parity check on the first 32K	16 K, parity check on the whole SRAM1.
SRAM2	16K, no parity check	16K, no parity check	16K, no parity check	6K, no parity check
CCM SRAM	32K, parity check on the whole CCM SRAM	32K, parity check on the whole CCM SRAM	16K, parity check on the whole CCM SRAM	10K, parity check on the whole CCM SRAM
CRS	Yes	Yes	Yes	Yes
DMA	2 DMA controllers: DMA1: 8 channels DMA2: 8 channels	2 DMA controllers: DMA1: 8 channels DMA2: 8 channels	2 DMA controllers: DMA1: 8 channels DMA2: 8 channels	2 DMA controllers: DMA1: 6 channels DMA2: 6 channels
DMAMUX	Yes	Yes	Yes	Yes
Cordic	Yes	Yes	Yes	Yes
FMAC	Yes	Yes	Yes	Yes
RNG	Yes	Yes	Yes	Yes
AES	Yes (Note)	Yes (Note)	Yes	Yes (Note)
CRC	Yes	Yes	Yes	Yes
FMC	Yes	Yes	No	No
QUADSPI	Yes	Yes	No	No
ADC	5 x ADC: ADC1/2 can be used in dual mode ADC3/4 can be used in dual mode ADC5 usable only in single mode	5 x ADC: ADC1/2 can be used in dual mode ADC3/4 can be used in dual mode ADC5 usable only in single mode	3 x ADC: ADC1/2 can be used in dual mode ADC3 usable only in single mode	2 x ADC: ADC1/2 can be used in dual mode
DAC	7 DAC ch: DAC1_CH1/ DAC1_CH2/ DAC2_CH1: external DAC3_CH1/ DAC3/CH2/ DAC4_CH1/ DAC4_CH2: internal	7 DAC ch: DAC1_CH1/ DAC1_CH2/ DAC2_CH1: external DAC3_CH1/ DAC3/CH2/ DAC4_CH1/ DAC4_CH2: internal	4 DAC ch: DAC1_CH1/ DAC1_CH2: external DAC3_CH1/ DAC3/CH2: internal	4 DAC ch: DAC1_CH1/ DAC1_CH2: external DAC3_CH1/ DAC3/CH2: internal
COMP	7 (COMP1..7)	7 (COMP1..7)	4 (COMP1..4)	4 (COMP1..4)
OPAMP	6 (OPAMP1..6)	6 (OPAMP1..6)	3 (OPAMP1..3)	3 (OPAMP1..3)
VREFBUF	Yes	Yes	Yes	Yes
HRTIM1	Yes	No	No	No

Feature	STM32G474/ STM32G484	STM32G473/ STM32G483	STM32G471	STM32G431/ STM32G441
Advanced control timers (TIM1/TIM8/ TIM20)	TIM1/8/20	TIM1/8/20	TIM1/8	TIM1/8
General purpose timers (TIM2/TIM3/ TIM4/TIM5)	TIM2/3/4/5	TIM2/3/4/5	TIM2/3/4/5	TIM2/3/4
General purpose timers (TIM15/TIM16/TIM17)	TIM15/16/17	TIM15/16/17	TIM15/16/17	TIM15/16/17
Basic timers (TIM6/TIM7)	TIM6/7	TIM6/7	TIM6/7	TIM6/7
Low power timer (LPTIM1)	Yes	Yes	Yes	Yes
Infrared interface (IRTIM)	Yes	Yes	Yes	Yes
Independent watchdog (IWDG)	Yes	Yes	Yes	Yes
System window watchdog (WWDG)	Yes	Yes	Yes	Yes
RTC and TAMP	Yes	Yes	Yes	Yes
I2C	4 x I2C (I2C1..4)	4 x I2C (I2C1..4)	4 x I2C (I2C1..4)	3 x I2C (I2C1..3)
USART/UART	3 x USART (USART1..3) 2 x UART (UART4,5)	3 x USART (USART1..3) 2 x UART(UART4,5)	3 x USART (USART1..3) 2 x UART(UART4,5)	3 x USART (USART1..3) 1 x UART(UART4)
LPUART	1 x LPUART	1 x LPUART	1 x LPUART	1 x LPUART
SPI/I2S	4 x SPI/2 x I2S (SPI1..4 - I2S2,3)	4 x SPI/2 x I2S (SPI1..4 - I2S2,3)	4 x SPI/2 x I2S (SPI1..4 - I2S2,3)	3 x SPI/2 x I2S (SPI1..3 - I2S2,3)
SAI	1 x SAI	1 x SAI	1 x SAI	1 x SAI
FDCAN	3 x FDCAN (FDCAN1..3)	3 x FDCAN (FDCAN1..3)	2 x FDCAN (FDCAN1,2)	1 x FDCAN (FDCAN1)
USB device	1 x USB device	1 x USB device	1 x USB device	1 x USB device
UCPD1	1 x UCPD	1 x UCPD	1 x UCPD	1 x UCPD

## 2. Przegląd systemu i pamięci

### 2.1. Architektura systemu

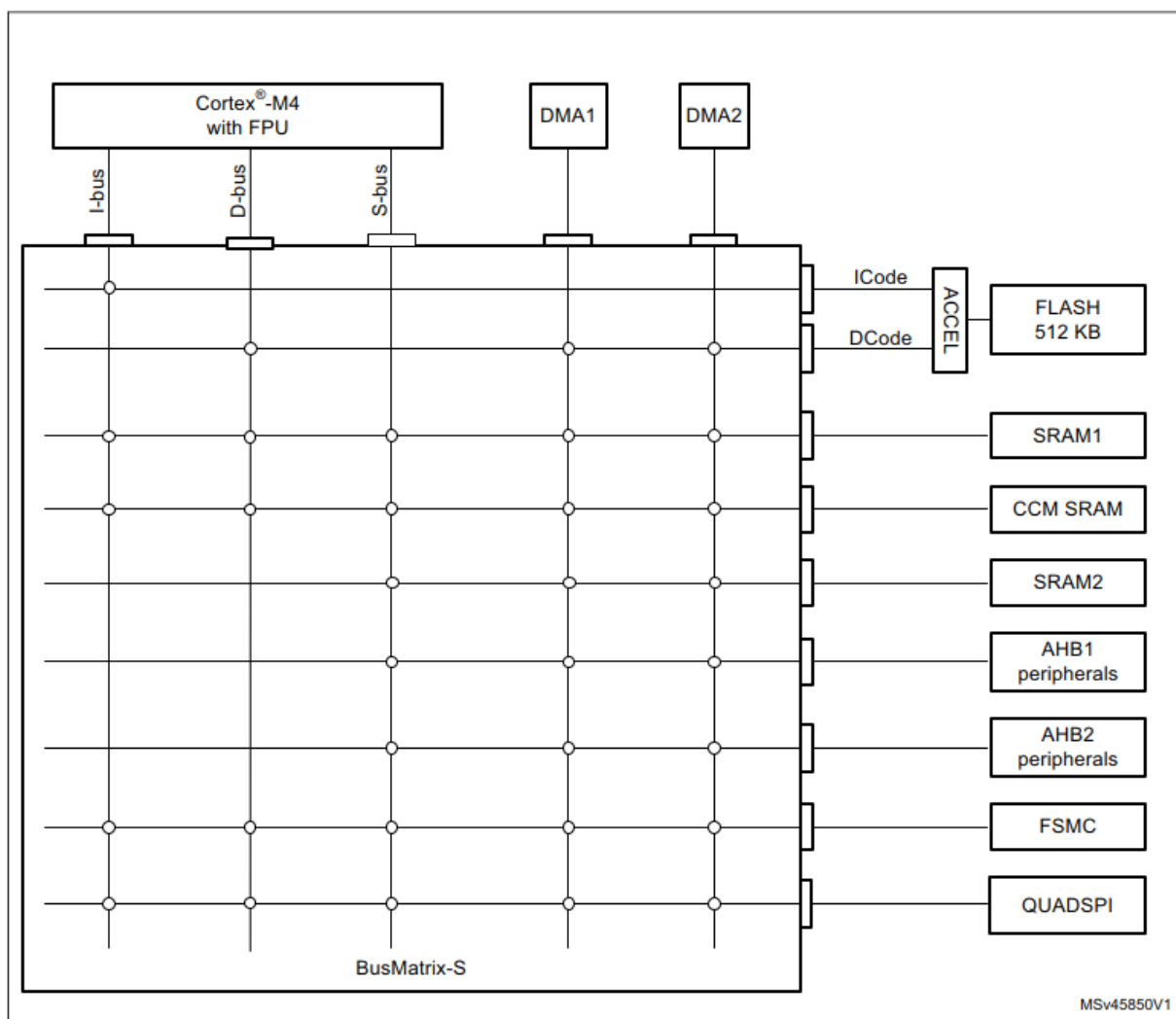
Główny system składa się z 32-bitowej wielowarstwowej macierzy magistrali AHB (ang. advanced high-performance bus), która łączy ze sobą:

- Do pięciu urządzeń / procesów Masters:
  - Cortex®-M4 z rdzeniem I-bus FPU
  - Cortex®-M4 z rdzeniem D-bus FPU
  - Cortex®-M4 z rdzeniem S-bus FPU
  - DMA1
  - DMA2



- Do dziewięciu urządzeń / procesów Slaves:
  - Wewnętrzna pamięć Flash na szynie ICode
  - Wewnętrzna pamięć Flash na szynie DCode
  - Wewnętrzny SRAM1
  - Wewnętrzny SRAM2
  - Wewnętrzna pamięć SRAM CCM
  - Urządzenia peryferyjne AHB1, w tym mostki AHB do APB i urządzenia peryferyjne APB (podłączone do APB1 i APB2)
  - Urządzenia peryferyjne AHB2
  - Elastyczny kontroler pamięci (FMC)
  - Interfejs pamięci QUAD SPI (QUADSPI)

Matryca magistrali zapewnia dostęp z urządzenia nadrzędnego do urządzenia podrzędnego, umożliwiając równoczesny dostęp i wydajne działanie, nawet gdy kilka szybkich urządzeń peryferyjnych pracuje jednocześnie. Ta architektura jest pokazana na rysunku poniżej.



Rysunek 1 Architektura systemu

### 2.1.1. I-bus

Ta magistrala łączy magistralę instrukcji Cortex®-M4 z rdzeniem FPU z BusMatrix.

Magistrala jest używana przez rdzeń do pobierania instrukcji. Celem tej magistrali jest pamięć zawierająca kod (pamięć wewnętrzna Flash, pamięć wewnętrzna SRAM lub pamięć zewnętrzna za pośrednictwem FMC lub QUADSPI).

### 2.1.2. D-bus

Ta magistrala łączy magistralę danych Cortex®-M4 z rdzeniem FPU z BusMatrix. Magistrala jest używana przez rdzeń do dosłownego ładowania i dostępu do debugowania. Celem tej magistrali jest pamięć zawierająca kod (wewnętrzna pamięć Flash, wewnętrzne pamięci SRAM lub zewnętrzne pamięci przez FMC lub QUADSPI).

### 2.1.3. S-bus

Ta magistrala łączy magistralę systemową Cortex®-M4 z rdzeniem FPU z BusMatrix. Magistrala jest wykorzystywana przez rdzeń do uzyskiwania dostępu do danych znajdujących się w obszarze peryferyjnym lub SRAM. Celami tej magistrali są: wewnętrzna pamięć SRAM, urządzenia peryferyjne AHB1, w tym urządzenia peryferyjne APB1 i APB2, urządzenia peryferyjne AHB2 i pamięci zewnętrzne za pośrednictwem QUADSPI lub FMC.

CCM SRAM jest również dostępny na tej magistrali, aby umożliwić ciągłe mapowanie z SRAM1 i SRAM2.

### 2.1.4. DMA-bus

Ta magistrala łączy główny interfejs AHB DMA z BusMatrix. Celami tej magistrali są SRAM1, SRAM2 i CCM SRAM, urządzenia peryferyjne AHB1, w tym urządzenia peryferyjne APB1 i APB2, urządzenia peryferyjne AHB2 i pamięci zewnętrzne za pośrednictwem QUADSPI lub FMC.

### 2.1.5. BusMatrix

BusMatrix zarządza arbitrażem dostępu między Masterami. Arbitraż wykorzystuje algorytm Round Robin. BusMatrix składa się z maksymalnie pięciu urządzeń nadrzędnych (CPU AHB, magistrali systemowej, magistrali DCode, magistrali ICode, DMA1, DMA2,) i maksymalnie dziewięciu urządzeń podrzędnych (FLASH, SRAM1, SRAM2, CCM SRAM, AHB1 (w tym APB1 i APB2), AHB2, QUADSPI i FMC).

### 2.1.6. Mosty AHB / APB

Dwa mosty AHB / APB zapewniają pełne synchroniczne połączenia między AHB i dwiema szynami APB, umożliwiając elastyczny wybór częstotliwości obwodowej.

Po każdym resecie urządzenia wszystkie zegary peryferyjne są wyłączane (z wyjątkiem SRAM1/2 i interfejsu pamięci Flash). Przed użyciem urządzenia peryferyjnego należy włączyć jego zegar w rejestrach RCC\_AHBxENR i RCC\_APBxENR.

Uwaga: Gdy wykonywany jest 16- lub 8-bitowy dostęp do rejestru APB, to jest on przekształcany w dostęp 32 bitowy: most duplikuje 16- lub 8-bitowe dane, aby zasilił wektor 32-bitowy.

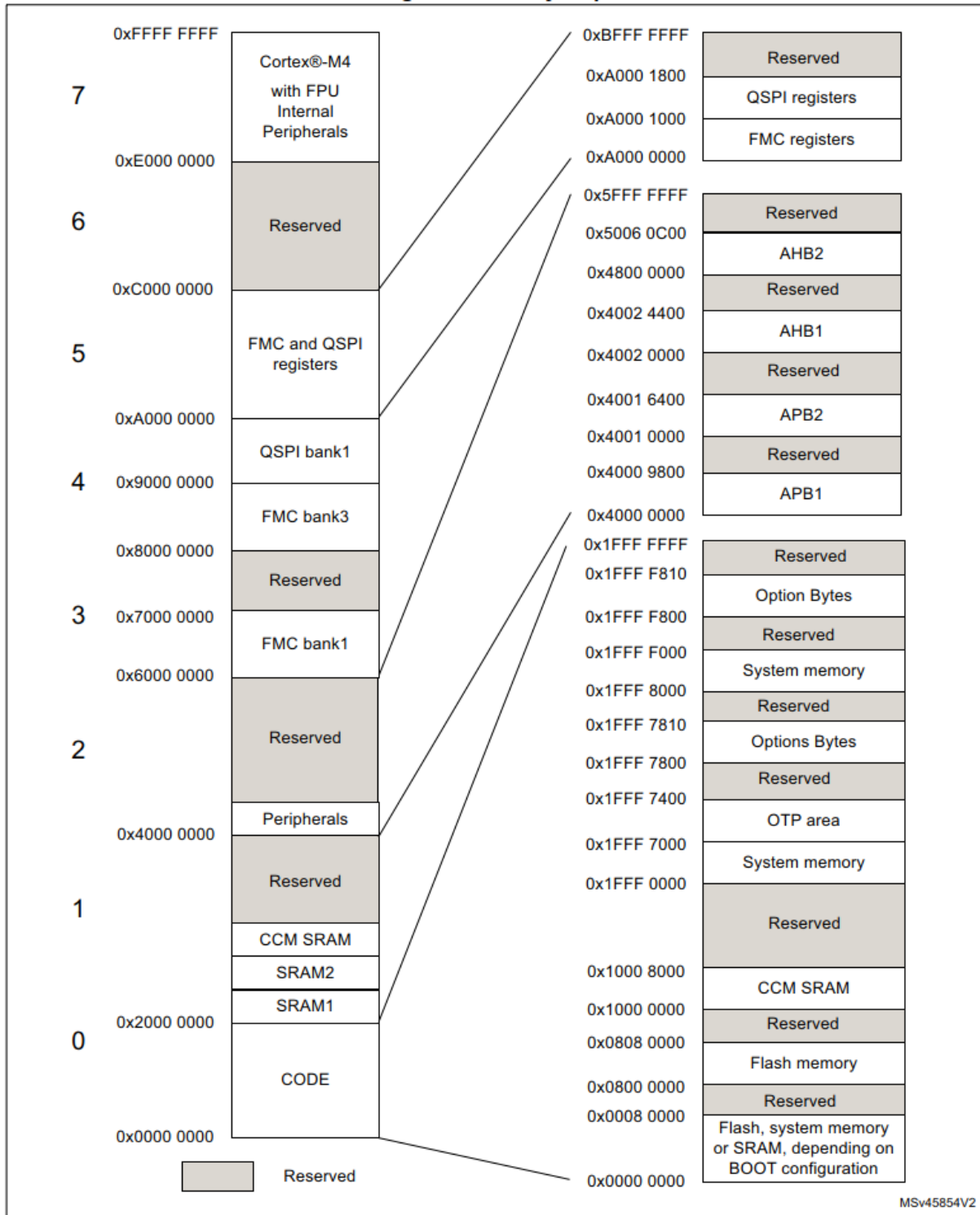
## 2.2. Organizacja pamięci

### 2.2.1. Wprowadzenie

Pamięć programu, pamięć danych, rejestry i porty we / wy są zorganizowane w tej samej liniowej przestrzeni adresowej 4 Gb.

Bajty są kodowane w pamięci w formacie Little Endian. Bajt o najniższym numerze w słowie jest uważany za najmniej znaczący bajt tego słowa, a za bajt o najwyższym numerze za najbardziej znaczący.

Adresowalna przestrzeń pamięci jest podzielona na osiem głównych bloków, każdy o wielkości 512 MB.



Rysunek 2 Mapa pamięci

Wszystkie obszary mapy pamięci, które nie są przypisane do pamięci i układów peryferyjnych, są uważane za „Zarezerwowane”. Aby uzyskać szczegółowe mapowanie dostępnej pamięci i obszarów rejestracji, zapoznaj się z poniższą tabelą.

Poniższa tabela podaje graniczne zakresy adresacji urządzeń peryferyjnych dostępnych w urządzeniach.

Tabela 3 Mapa pamięci serii STM32G4 i granice adresów rejestrów peryferyjnych

Bus	Boundary address	Size (bytes)	Peripheral
-	0xA000 1400 - 0xAFFF FFFF	262 MB	Reserved
	0xA000 1000 - 0xA000 13FF	1 KB	QUADSPI control Registers
	0xA000 0400 - 0xA000 0FFF	3 KB	Reserved
	0xA000 0000 - 0xA000 03FF	1 KB	FMC
AHB2	0x5006 0C00 - 0x5FFF FFFF	256MB	Reserved
	0x5006 0800 - 0x5006 0BFF	1 KB	RNG
	0x5006 0400 - 0x5006 07FF	1 KB	Reserved
	0x5006 0000 - 0x5006 03FF	1 KB	AES
	0x5000 1800 - 0x5005 FFFF	377 KB	Reserved
	0x5000 1400 - 0x5000 17FF	1 KB	DAC4
	0x5000 1000 - 0x5000 13FF	1 KB	DAC3
	0x5000 0C00 - 0x5000 0FFF	1 KB	DAC2
	0x5000 0800 - 0x5000 0BFF	1 KB	DAC1
	0x5000 0400 - 0x5000 07FF	1 KB	ADC3 - ADC4 - ADC5
	0x5000 0000 - 0x5000 03FF	1 KB	ADC1 - ADC2
	0x4800 1C00 - 0x4FFF FFFF	127 MB	Reserved
	0x4800 1800 - 0x4800 1BFF	1 KB	GPIOG
	0x4800 1400 - 0x4800 17FF	1 KB	GPIOF
	0x4800 1000 - 0x4800 13FF	1 KB	GPIOE
	0x4800 0C00 - 0x4800 0FFF	1 KB	GPIOD
	0x4800 0800 - 0x4800 0BFF	1 KB	GPIOC
	0x4800 0400 - 0x4800 07FF	1 KB	GPIOB
0x4800 0000 - 0x4800 03FF	1 KB	GPIOA	

*Uwaga. Z uwagi na specyficzne funkcje produktu oraz karty danych urządzeń dla portów GPIO i urządzeń peryferyjnych dostępnych w urządzeniu, obszar pamięci odpowiadający niedostępnym portom lub urządzeniom peryferyjnym GPIO jest zarezerwowany (podświetlenia na szaro w tabeli).*

Bus	Boundary address	Size (bytes)	Peripheral
AHB1	0x4002 3400 - 0x47FF FFFF	127 MB	Reserved
	0x4002 3000 - 0x4002 33FF	1 KB	CRC
	0x4002 2400 - 0x4002 2FFF	3 KB	Reserved
	0x4002 2000 - 0x4002 23FF	1 KB	Flash interface
	0x4002 1400 - 0x4002 1FFF	3 KB	FMAC
	0x4002 1000 - 0x4002 13FF	1 KB	RCC
	0x4002 0C00 - 0x4002 0FFF	1 KB	CORDIC
	0x4002 0800 - 0x4002 0BFF	1 KB	DMAMUX
	0x4002 0400 - 0x4002 07FF	1 KB	DMA 2
	0x4002 0000 - 0x4002 03FF	1 KB	DMA 1
APB2	0x4001 7800 - 0x4001 FFFF	2 KB	Reserved
	0x4001 6800 - 0x4001 77FF	3 KB	HRTIM
	0x4001 5800 - 0x4001 67FF	4 KB	Reserved
	0x4001 5400 - 0x4001 57FF	1 KB	SAI1
	0x4001 5000 - 0x4001 53FF	1 KB	TIM20
	0x4001 4C00 - 0x4001 4FFF	1 KB	Reserved
	0x4001 4800 - 0x4001 4BFF	1 KB	TIM17
	0x4001 4400 - 0x4001 47FF	1 KB	TIM16
	0x4001 4000 - 0x4001 43FF	1 KB	TIM15
	0x4001 3C00 - 0x4001 3FFF	1 KB	SPI4
	0x4001 3800 - 0x4001 3BFF	1 KB	USART1
	0x4001 3400 - 0x4001 37FF	1 KB	TIM8
	0x4001 3000 - 0x4001 33FF	1 KB	SPI1
	0x4001 2C00 - 0x4001 2FFF	1 KB	TIM1
	0x4001 0800 - 0x4001 2BFF	9 KB	Reserved
	0x4001 0400 - 0x4001 07FF	1 KB	EXTI
	0x4001 0300 - 0x4001 03FF	1 KB	OPAMP
	0x4001 0200 - 0x4001 02FF		COMP
0x4001 0030 - 0x4001 01FF	VREFBUF		
0x4001 0000 - 0x4001 0029	SYSCFG		

*Uwaga. Z uwagi na specyficzne funkcje produktu oraz karty danych urządzeń dla portów GPIO i urządzeń peryferyjnych dostępnych w urządzeniu, obszar pamięci odpowiadający niedostępnym portom lub urządzeniom peryferyjnym GPIO jest zarezerwowany (podświetlenia na szaro w tabeli).*

Bus	Boundary address	Size (bytes)	Peripheral
APB1	0x4000 AF00 - 0x4000 AF00	23 KB	Reserved
	0x4000 AC00 - 0x4000 AFFF	1 KB	FDCANs Message RAM
	0x4000 A800 - 0x4000 ABFF	1 KB	
	0x4000 A400 - 0x4000 A7FF	1 KB	
	0x4000 A000 - 0x4000 A3FF	1 KB	UCPD1
	0x4000 8800 - 0x4000 9FFF	6 KB	Reserved
	0x4000 8400 - 0x4000 87FF	1 KB	I2C4
	0x4000 8000 - 0x4000 83FF	1 KB	LPUART1
	0x4000 7C00 - 0x4000 7FFF	1 KB	LPTIM1
	0x4000 7800 - 0x4000 7BFF	1 KB	I2C3
	0x4000 7400 - 0x4000 77FF	1 KB	Reserved
	0x4000 7000 - 0x4000 73FF	1 KB	PWR
	0x4000 6C00 - 0x4000 6FFF	1 KB	FDCAN3
	0x4000 6800 - 0x4000 6BFF	1 KB	FDCAN2
	0x4000 6400 - 0x4000 67FF	1 KB	FDCAN1
	0x4000 6000 - 0x4000 63FF	1 KB	USB SRAM 512Bytes
	0x4000 5C00 - 0x4000 5FFF	1 KB	USB device FS
	0x4000 5800 - 0x4000 5BFF	1 KB	I2C2
	0x4000 5400 - 0x4000 57FF	1 KB	I2C1
	0x4000 5000 - 0x4000 53FF	1 KB	UART5
0x4000 4C00 - 0x4000 4FFF	1 KB	UART4	
0x4000 4800 - 0x4000 4BFF	1 KB	USART3	
0x4000 4400 - 0x4000 47FF	1 KB	USART2	

*Uwaga. Z uwagi na specyficzne funkcje produktu oraz karty danych urządzeń dla portów GPIO i urządzeń peryferyjnych dostępnych w urządzeniu, obszar pamięci odpowiadający niedostępnym portom lub urządzeniom peryferyjnym GPIO jest zarezerwowany (podświetlenia na szaro w tabeli).*

### 2.3. Pasma bitów

Cortex®-M4 z mapą pamięci FPU zawiera dwa obszary ciągu bitów. Obszary te odwzorowują każde słowo w obszarze aliasu pamięci na bit w obszarze ciągu bitowego. Zapis do słowa w regionie aliasu ma taki sam efekt, jak operacja odczytu-modyfikacji-zapisu na docelowym bicie w obszarze ciągu bitów.

W urządzeniach z serii STM32G4 zarówno rejestry peryferyjne, jak i SRAM są mapowane na obszar ciągu bitów, dzięki czemu dozwolone są operacje zapisu i odczytu pojedynczego pasma bitów. Operacje są dostępne tylko dla procesora Cortex®-M4 z dostępem do FPU, a nie dla innych urządzeń magistrali głównych (np. DMA).

Formuła mapowania pokazuje jak odwoływać każde słowo w obszarze aliasu do odpowiedniego bitu w obszarze pasma bitów. Formuła mapowania jest następująca:

---

Projekt pt. „Prace rozwojowe oraz testy w warunkach rzeczywistych autonomicznego i inteligentnego sterownika” nr Umowy z Województwem Łódzkim, w imieniu którego działa Centrum Obsługi Przedsiębiorcy: **RPLD.01.02.02-10-0006/18-00** realizowany w ramach Poddziałania I.2.2 Regionalnego Programu Operacyjnego Województwa Łódzkiego na lata 2014-2020 współfinansowanego ze środków Europejskiego Funduszu Rozwoju Regionalnego.

$$\text{bit\_word\_addr} = \text{bit\_band\_base} + (\text{byte\_offset} \times 32) + (\text{bit\_number} \times 4)$$

gdzie:

- bit\_word\_addr to adres słowa w obszarze pamięci aliasu, który jest mapowany na docelowy bit
- bit\_band\_base to adres początkowy obszaru aliasu
- byte\_offset to liczba bajtów w obszarze pasma bitów, który zawiera docelowy bit
- numer\_bitu jest pozycją bitu (0–7) docelowego bitu

### Przykład

Poniższy przykład pokazuje, jak mapować bit 2 bajtu znajdującego się pod adresem 0x20000300 w SRAM1 do obszaru aliasu:

$$0x22006008 = 0x22000000 + (0x300 * 32) + (2 * 4)$$

Zapis na adres 0x22006008 ma taki sam efekt jak operacja odczytu-modyfikacji-zapisu na bicie 2 bajtu pod adresem SRAM1 0x20000300.

Odczyt adresu 0x22006008 zwraca wartość (0x01 lub 0x00) bitu 2 bajtu pod adresem SRAM1 0x20000300 (0x01: ustawiony bit; 0x00: zresetowany bit).

## 2.4. Wbudowana pamięć SRAM

Urządzenia kategorii 3 STM32G4 są wyposażone w pamięć SRAM o pojemności do 128 KB:

- 80 KB SRAM1 (zmapowany pod adresem 0x2000 0000)
- 16 KB SRAM2 (mapowany pod adresem 0x2001 4000)
- 32 KB SRAM CCM (mapowane pod adresem 0x1000 0000 i na końcu SRAM2)

Urządzenia kategorii 2 serii STM32G4 są wyposażone w pamięć SRAM o pojemności do 32 KB:

- 16 KB SRAM1 (zmapowany pod adresem 0x2000 0000)
- 6 KB SRAM2 (mapowany pod adresem 0x2001 4000)
- 10 KB SRAM CCM (mapowane pod adresem 0x1000 0000 i na końcu SRAM2)

Dane w pamięci SRAM mogą być dostępne jako bajty, pół słowa (16 bitów) lub pełne słowa (32 bity). Pamięci te mogą być adresowane przy maksymalnej częstotliwości taktowania systemu bez stanu oczekiwania, a więc zarówno przez CPU, jak i DMA.

Procesor może uzyskać dostęp do SRAM1 przez magistralę systemową lub przez magistrale ICode / DCode po wybraniu bootowania z SRAM1 lub po wybraniu remapingu fizycznego w kontrolerze SYSCFG. Aby uzyskać maksymalną wydajność wykonywania kodu z SRAM1, należy wybrać remapowanie fizyczne (boot lub wybór programowy).

CCM SRAM jest mapowany pod adresem 0x1000 0000.

Czytanie można wykonać z CCM SRAM z maksymalną wydajnością bez żadnego ponownego mapowania dzięki dostępowi przez magistralę ICode.

Pamięć CCM SRAM jest aliasowana pod adresem następującym po końcu SRAM2 (0x2000 5800 dla urządzeń kategorii 2, 0x2001 8000 dla urządzeń kategorii 3), oferując ciągłą przestrzeń adresową z SRAM1 i SRAM2.

### 2.4.1. Kontrola parzystości

Na urządzeniach kategorii 3 kontrola parzystości jest realizowana na pierwszych 32 kilobajtach SRAM1 i na całej pamięci SRAM CCM.

W urządzeniach kategorii 2 kontrola parzystości jest realizowana na całej pamięci SRAM1 i CCM SRAM.

Użytkownik może włączyć kontrolę parzystości za pomocą bitu opcji SRAM\_PE w bajcie opcji użytkownika.



Szerokość magistrali danych wynosi 36 bitów, ponieważ dostępne są 4 bity do kontroli parzystości (1 bit na bajt), w celu zwiększenia niezawodności pamięci, zgodnie z wymaganiami na przykład klasy B lub SIL.

Bity parzystości są obliczane i zapisywane podczas zapisywania w pamięci SRAM. Następnie są one automatycznie sprawdzane podczas czytania. Jeśli jeden bit zawiedzie, generowany jest NMI. Ten sam błąd można również powiązać z wejściem BRK\_IN Break w TIM1 / TIM8 / TIM15 / TIM16 / TIM17 / TIM20 oraz z `hrtim_sys_flg` z bitem kontrolnym SPL w konfiguracji SYSCFG (`SYSCFG_CFGR2`).

Uwaga: Po włączeniu kontroli parzystości SRAM zaleca się zainicjowanie przez oprogramowanie całej pamięci SRAM na początku kodu, aby uniknąć błędów parzystości podczas odczytywania niezainicjowanych lokalizacji.

## 2.4.2. CCM SRAM Ochrona przed zapisem

Pamięć SRAM CCM może być chroniona przed zapisem z rozdzielczością strony 1 Kb.

Tabela 4 Organizacja pamięci CCM SRAM

Page number	Start address	End address
Page 0	0x1000 0000	0x1000 03FF
Page 1	0x1000 0400	0x1000 07FF
Page 2	0x1000 0800	0x1000 0BFF
Page 3	0x1000 0C00	0x1000 0FFF
Page 4	0x1000 1000	0x1000 13FF
Page 5	0x1000 1400	0x1000 17FF
Page 6	0x1000 1800	0x1000 1BFF
Page 7	0x1000 1C00	0x1000 1FFF
Page 8	0x1000 2000	0x1000 23FF
Page 9	0x1000 2400	0x1000 27FF
Page 10	0x1000 2800	0x1000 2BFF
Page 11 <sup>(1)</sup>	0x1000 2C00	0x1000 2FFF
Page 12 <sup>(1)</sup>	0x1000 3000	0x1000 33FF
Page 13 <sup>(1)</sup>	0x1000 3400	0x1000 37FF
Page 14 <sup>(1)</sup>	0x1000 3800	0x1000 3BFF
Page 15 <sup>(1)</sup>	0x1000 3C00	0x1000 3FFF

Page number	Start address	End address
Page 16 <sup>(1)</sup>	0x1000 4000	0x1000 43FF
Page 17 <sup>(1)</sup>	0x1000 4400	0x1000 47FF
Page 18 <sup>(1)</sup>	0x1000 4800	0x1000 4BFF
Page 19 <sup>(1)</sup>	0x1000 4C00	0x1000 4FFF
Page 20 <sup>(1)</sup>	0x1000 5000	0x1000 53FF
Page 21 <sup>(1)</sup>	0x1000 5400	0x1000 57FF
Page 22 <sup>(1)</sup>	0x1000 5800	0x1000 5BFF
Page 23 <sup>(1)</sup>	0x1000 5C00	0x1000 5FFF
Page 24 <sup>(1)</sup>	0x1000 6000	0x1000 63FF
Page 25 <sup>(1)</sup>	0x1000 6400	0x1000 67FF
Page 26 <sup>(1)</sup>	0x1000 6800	0x1000 6BFF
Page 27 <sup>(1)</sup>	0x1000 6C00	0x1000 6FFF
Page 28 <sup>(1)</sup>	0x1000 7000	0x1000 73FF
Page 29 <sup>(1)</sup>	0x1000 7400	0x1000 77FF
Page 30 <sup>(1)</sup>	0x1000 7800	0x1000 7BFF
Page 31 <sup>(1)</sup>	0x1000 7C00	0x1000 7FFF

<sup>(1)</sup> Dostępne tylko na urządzeniach kategorii 3.

Ochronę przed zapisem można włączyć w bloku SYSCFG. Jest to rejestr z mechanizmem jednokrotnego zapisu „1”, co oznacza, że zapisując „1” w bicie, konfiguruje się ochronę przed zapisem dla tej strony SRAM i ochrona ta może być usunięta / wyczyszczona tylko przez reset systemu.

### 2.4.3. Zabezpieczenie odczytu SRAM CCM

CCMSRAM jest chroniony przez ochronę przed odczytem (RDP).

### 2.4.4. Czyszczenie SRAM CCM

CCMSRAM może zostać wyczyszczony przez reset systemu za pomocą bitu opcji CCMSRAM\_RST w bajcie opcji użytkownika.

Kasowanie pamięci SRAM CCM można również zażądać programowo, ustawiając bit CCMSR.

## 2.5. Pamięć FLASH - przegląd

Pamięć Flash składa się z dwóch różnych obszarów fizycznych:

- Główny blok pamięci Flash. W razie potrzeby zawiera aplikację i dane użytkownika.
- Blok informacji. Składa się on z trzech części:
  - Opcjonalne bajty do konfiguracji sprzętu i ochrony pamięci użytkownika.
  - Pamięć systemowa, która zawiera zastrzeżony kod ST.
  - Obszar OTP (ang. one-time programmable) programowalny jednorazowo

Interfejs Flash realizuje dostęp do instrukcji i danych w oparciu o protokół AHB. Implementuje także logikę niezbędną do wykonywania operacji pamięci Flash (programowanie / kasowanie) kontrolowanych przez rejestry Flash.

## 2.6. Konfiguracja rozruchu

### 2.6.1. Konfiguracja rozruchu

Trzy różne tryby rozruchu mogą być wybrane za pomocą pinu BOOT0 lub bitu nBOOT0 w rejestrze FLASH\_OPTR (jeśli bit nSWBOOT0 jest wyczyszczony w rejestrze FLASH\_OPTR) oraz bitu nBOOT1 w rejestrze FLASH\_OPTR, jak pokazano w tabeli.

Tabela 5 Tryby rozruchu (Boot modes)

BOOT_LOCK	nBOOT1 FLASH_OPTR[23]	nBOOT0 FLASH_OPTR[27]	BOOT0 pin PB8	nSWBOOT0 FLASH_OPTR[26]	Boot Memory Space Alias
1	X	X	X	X	Main Flash memory
0	X	X	0	1	Main Flash memory is selected as boot area
0	X	1	X	0	Main Flash memory is selected as boot area
0	0	X	1	1	Embedded SRAM1 is selected as boot area
0	0	0	X	0	Embedded SRAM1 is selected as boot area
0	1	X	1	1	System memory is selected as boot area
0	1	0	X	0	System memory is selected as boot area

Wartości zarówno pinu BOOT0 (pochodzącego z pinu lub bitu opcji), jak i bitu nBOOT1 są blokowane na 4. cyklu źródła zegara wewnętrznego uruchamianego po zresetowaniu. Użytkownik musi ustawić nBOOT1 i BOOT0, aby wybrać wymagany tryb rozruchu.

Pin BOOT0 lub bit opcji użytkownika (w zależności od wartości bitu nSWBOOT0 w rejestrze FLASH\_OPTR) i bit nBOOT1 są również ponownie sprawdzane przy wychodzeniu z trybu gotowości. W związku z tym muszą być utrzymywane w trybie gotowości w konfiguracji rozruchu zawartej w konfiguracji Standby mode. Po upływie opóźnienia CPU pobiera najwyższą wartość stosu z adresu 0x0000 0000, a następnie rozpoczyna wykonywanie kodu z pamięci rozruchowej pod adresem 0x0000 0004.

W zależności od wybranego trybu bootowania główna pamięć Flash, pamięć systemowa lub SRAM1 jest dostępna w następujący sposób:

- **Uruchomienie z głównej pamięci Flash:** główna pamięć Flash jest aliasowana w przestrzeni pamięci rozruchowej (0x0000 0000), ale nadal dostępna z oryginalnej pamięci (0x0800 0000). Innymi słowy, zawartość pamięci Flash jest dostępna od adresu 0x0000 0000 lub 0x0800 0000.
- **Uruchomienie z pamięci systemowej:** pamięć systemowa jest aliasowana w przestrzeni pamięci rozruchowej (0x0000 0000), ale nadal dostępna z oryginalnej pamięci (0x1FFF 0000).
- **Uruchomienie z wbudowanej pamięci SRAM1:** pamięć SRAM1 jest aliasowana w przestrzeni pamięci rozruchowej (0x0000 0000), ale nadal jest dostępna z oryginalnej pamięci (0x2000 0000).

PB8 / BOOT0 GPIO jest skonfigurowany następująco:

- W tryb wprowadzania podczas fazy pełnego resetowania, jeśli bit opcji nSWBOOT0 jest ustawiony w rejestrze FLASH\_OPTR, a następnie przełącza się automatycznie w trybie analogowym po zwolnieniu resetu (pin BOOT0).
- W tryb wprowadzania od fazy resetowania do zakończenia ładowania bajtu opcji, jeśli bit nSWBOOT0 jest wyczyszczony w rejestrze FLASH\_OPTR (wartość BOOT0 pochodząca z bitu opcji). Następnie automatycznie przełącza się w tryb analogowy, nawet jeśli faza resetowania jest nie skończona.

*Uwaga: Gdy urządzenie uruchamia się z SRAM, w kodzie inicjalizacji aplikacji należy przenieść tablicę wektorów w SRAM przy użyciu tabeli wyjątków NVIC i rejestru przesunięcia.*

*Podczas uruchamiania z głównej pamięci Flash oprogramowanie aplikacji może uruchamiać się z banku 1 lub z banku 2 (tylko dla urządzeń kategorii 3). Domyślnie wybrany jest rozruch z banku 1.*

*Aby wybrać rozruch z banku pamięci Flash 2, ustaw bit BFB2 w bajtach opcji użytkownika. Gdy ten bit jest ustawiony, a piny są ustawione na rozruch w głównej konfiguracji pamięci Flash, urządzenie uruchamia się z pamięci systemowej, a moduł ładujący wykonuje kroki aplikacji użytkownika zaprogramowanej w banku pamięci Flash 2.*

### **Wymuszanie rozruchu z pamięci Flash użytkownika**

Niezależnie od konfiguracji rozruchu można wymusić uruchomienie z unikalnego punktu wejścia w głównej pamięci Flash.

### **Fizyczny remapping**

Po wybraniu trybu pinów rozruchowych oprogramowanie aplikacji może modyfikować pamięć dostępną w obszarze kodu (w ten sposób kod może być wykonywany przez magistralę ICode zamiast przez magistralę systemową). Ta modyfikacja jest wykonywana przez oprogramowanie rejestru mapowania pamięci (SYSCFG\_MEMRMP) w kontrolerze SYSCFG.

W ten sposób można remapować następujące pamięci:

- Główna pamięć Flash
- Pamięć systemowa
- Wbudowany SRAM1
- Bank FSMC 1 (NOR / PSRAM 1 i 2)
- Pamięć QUADSPI

Tabela 6 Mapowanie pamięci kontra boot mode/remaping fizyczny <sup>(1)</sup>

Addresses	Boot/remap in main Flash memory	Boot/remap in embedded SRAM 1	Boot/remap in system memory	Remap in FSMC	Remap in QUADSPI
0x2000 0000 - 0x2002 3FFF	SRAM1	SRAM1	SRAM1	SRAM1	SRAM1
0x1FFF 7000 - 0x1FFF FFFF	System memory/OTP/ Options bytes	System memory/OTP/ Options bytes	System memory/OTP/ Options bytes	System memory/OTP/ Options bytes	System memory/OTP/ Options bytes
0x1000 8000 - 0x1FFE FFFF	Reserved	Reserved	Reserved	Reserved	Reserved
0x1000 0000 - 0x1000 7FFF	CCM SRAM	CCM SRAM	CCM SRAM	CCM SRAM	CCM SRAM
0x0808 0000 - 0x0FFF FFFF	Reserved	Reserved	Reserved	Reserved	Reserved
0x0800 0000 - 0x0807 FFFF	Flash memory	Flash memory	Flash memory	Flash memory	Flash memory
0x0400 0000 - 0x07FF FFFF	Reserved	Reserved	Reserved	FSMC bank 1 NOR/ PSRAM 2 (128 MB) Aliased	QUADSPI bank (128 MB) Aliased
0x0010 0000 - 0x03FF FFFF	Reserved	Reserved	Reserved	FSMC bank 1 NOR/ PSRAM 1 (128 MB) Aliased	QUADSPI bank (128 MB) Aliased
0x0000 0000 - 0x0007 FFFF (2) (3)	Flash Aliased	SRAM1 Aliased	System memory (28 KB) Aliased	FSMC bank 1 NOR/ PSRAM 1 (128 MB) Aliased	QUADSPI Aliased

## Adnotacje

<sup>(1)</sup> Zarezerwowany obszar pamięci jest podświetlony na szaro w tabeli.

<sup>(2)</sup> Gdy FSMC jest mapowane pod adresem 0x0000 0000, tylko dwa pierwsze obszary kontrolera pamięci banku 1 (bank 1 NOR / PSRAM 1 i NOR / PSRAM 2) mogą być mapowane ponownie. Po ponownym mapowaniu FSMC pod adresem 0x0000 0000 mapowane jest tylko 128 MB. W trybie remapowania procesor może uzyskać dostęp do pamięci zewnętrznej za pośrednictwem magistrali ICode zamiast magistrali systemowej, co zwiększa wydajność.

<sup>(3)</sup> Nawet w przypadku aliasu w obszarze pamięci rozruchowej powiązana pamięć jest nadal dostępna w pierwotnej przestrzeni pamięci.

**Wbudowany moduł ładujący**

Wbudowany moduł ładujący znajduje się w pamięci systemowej zaprogramowanej przez ST podczas produkcji.

### 3. Wbudowana pamięć FLASH (FLASH) dla urządzeń kategorii 3

#### 3.1. Wprowadzenie

Interfejs pamięci Flash zarządza dostępem ICode CPU AHB i DCode do pamięci Flash. Realizuje operacje kasowania i programowania pamięci Flash oraz zarządza mechanizmami ochrony odczytu i zapisu.

Interfejs pamięci Flash przyspiesza wykonywanie kodu dzięki systemowi wstępnego pobierania instrukcji i trzymania ich w pamięci podręcznej (cache).

## 3.2. Główne cechy FLASH

- Do 512 KB pamięci Flash z architekturą podwójnego banku obsługującą funkcję odczytu i zapisu (RWW).
- Operacje odczytu pamięci Flash z obsługą dwóch trybów szerokości danych:
  - Tryb pojedynczego banku DBANK = 0: dostęp do odczytu 128 bitów
  - Tryb podwójnego banku DBANK = 1: dostęp do odczytu 64 bitów
- Kasowanie strony, kasowanie banku i kasowanie masowe (oba banki)

Funkcje interfejsu pamięci FLASH:

- Operacje odczytu pamięci FLASH
- Operacje programowania / kasowania pamięci FLASH
- Ochrona odczytu aktywowana przez opcję (RDP)
- 4 obszary ochrony przed zapisem (2 na bank, gdy DBANK = 1 i 4 dla pełnej pamięci, gdy DBANK = 0)
- 2 zastrzeżone obszary ochrony odczytu kodu (1 na bank, gdy DBANK = 1, 2 dla całej pamięci, gdy DBANK = 0)
- 2 bezpieczne obszary pamięci zdefiniowane przez opcję (1 na bank, gdy DBANK = 1, 1 dla całej pamięci, gdy DBANK = 0).
- Pobieranie wstępne w ICODE
- Pamięć podręczna instrukcji: 32 linie pamięci podręcznej 4 x 64 lub 2 x 128 bitów na ICode (1 KB RAM)
- Pamięć podręczna danych: 8 linii pamięci podręcznej 4 x 64 bity lub 2 x 128 na DCode (256B RAM)
- Korekcja kodu błędu ECC: 8 bitów na 64-bitowe podwójne słowo
  - DBANK = 1:  $8 + 64 = 72$  bity, wykrywanie 2 bity, korekta 1 bit
  - DBANK = 0:  $(8 + 64) + (8 + 64) = 144$  bity, wykrywanie 2 bity, korekta 1 bit
- Opcja ładowania bajtów
- Tryb niskiego zużycia energii

## 3.3. Opis działania FLASH

### 3.3.1. Organizacja pamięci FLASH

Pamięć FLASH posiada następujące główne funkcje:

- Pojemność do 512 kilobajtów, w trybie pojedynczego banku (szerokość odczytu 128 bitów) lub w trybie podwójnego banku (szerokość odczytu 64 bitów)
- Obsługuje tryb podwójnego rozruchu dzięki bitowi opcji BFB2 (tylko w trybie podwójnego banku)
- Tryb podwójnego banku, gdy ustawiony jest bit DBANK:
  - 512 KB zorganizowanych w 2 bankach dla pamięci głównej
  - Rozmiar strony 2 Kbyte
  - Odczyt danych o szerokości 72 bitów (64 bity plus 8 bitów ECC)
  - Kasowanie banku i masowe
- Tryb jednego banku po zresetowaniu DBANK:
  - 512 KB zorganizowanych w jednym banku dla pamięci głównej
  - Rozmiar strony 4 Kbyte
  - Odczyt danych o szerokości 144 bitów (128 bitów plus 2x8 bitów ECC)
  - Kasowanie masowe

Pamięć FLASH jest zorganizowana w następujący sposób:

- Główny blok pamięci zorganizowany w zależności od bitu konfiguracji podwójnego banku:

- Gdy włączony jest podwójny bank (ustawiony bit DBANK), Flash jest podzielony na 2 banki o wielkości 256 KB, a każdy bank jest zorganizowany w następujący sposób:
  - Główny blok pamięci zawierający 128 stron 2 Kbyte
  - Każda strona składa się z 8 wierszy po 256 bajtów
- Gdy podwójny bank jest nie dołączony (reset bitów DBANK), główny blok pamięci jest zorganizowany jako jeden pojedynczy bank 512 KB w następujący sposób:
  - Główny blok pamięci zawierający 128 stron 4 Kbyte
  - Każda strona składa się z 8 wierszy po 512 bajtów
- Blok informacyjny zawierający:
  - Pamięć systemowa, z której urządzenie uruchamia się w trybie rozruchu pamięci systemowej. Obszar jest zarezerwowany do użytku przez STMicroelectronics i zawiera program ładujący służący do przeprogramowania pamięci Flash za pomocą jednego z następujących interfejsów: USART, SPI, I2C, FDCAN, USB. Jest programowany przez STMicroelectronics w procesie produkcji i chroniony przed niepożądanymi operacjami zapisu / kasowania.
  - 1 Kbyte (128 podwójne słowo) bajtów OTP (one-time programmable - jednorazowo programowalnych) na dane użytkownika. Obszar OTP jest dostępny tylko w banku 1. Dane OTP nie mogą zostać usunięte i można je zapisać tylko raz. Jeśli tylko jeden bit ma wartość 0, całe podwójne słowo nie może być już zapisane, nawet o wartości 0x0000 0000 0000 0000.
  - Bajty opcji do konfiguracji użytkownika.

Organizacja pamięci opiera się na głównym obszarze i bloku informacyjnym, jak pokazano w tabelach poniżej.



Tabela 7 Moduł Flash - organizacja podwójnego banku 512 KB (szerokość odczytu 64 bitów)

Flash area		Flash memory addresses	Size (bytes)	Name
Main memory	Bank 1	0x0800 0000 - 0x0800 07FF	2 K	Page 0
		0x0800 0800 - 0x0800 0FFF	2 K	Page 1
		0x0800 1000 - 0x0800 17FF	2 K	Page 2
		0x0800 1800 - 0x0800 1FFF	2 K	Page 3
		-	-	-
		-	-	-
		0x0803 F000 - 0x0803 FFFF	2 K	Page 127
	Bank 2	0x0804 0000 - 0x0804 07FF	2 K	Page 0
		0x0804 0800 - 0x0804 0FFF	2 K	Page 1
		0x0804 1000 - 0x0804 17FF	2 K	Page 2
		0x0804 1800 - 0x0804 1FFF	2 K	Page 3
		-	-	-
		-	-	-
		0x0807 F000 - 0x0807 FFFF	2 K	Page 127
Information block	Bank 1	0x1FFF 0000 - 0x1FFF 6FFF	28 K	System memory
	Bank 2	0x1FFF 8000 - 0x1FFF EFFF	28 K	
	Bank 1	0x1FFF 7000 - 0x1FFF 73FF	1 K	OTP area
	Bank 1	0x1FFF 7800 - 0x1FFF 782F	48	Option bytes
	Bank 2	0x1FFF F800 - 0x1FFF F82F	48	

Tabela 8 Moduł Flash – organizacja pojedynczego banku 512 KB (szerokość odczytu 128 bitów)

Flash area		Flash memory addresses	Size (bytes)	Name
Main memory	Bank 1	0x0800 0000 - 0x0800 07FF	2 K	Page 0
		0x0800 0800 - 0x0800 0FFF	2 K	Page 1
		0x0800 1000 - 0x0800 17FF	2 K	Page 2
		0x0800 1800 - 0x0800 1FFF	2 K	Page 3
		-	-	-
		-	-	-
	Bank 2	0x0803 F000 - 0x0803 FFFF	2 K	Page 127
		0x0804 0000 - 0x0804 07FF	2 K	Page 0
		0x0804 0800 - 0x0804 0FFF	2 K	Page 1
		0x0804 1000 - 0x0804 17FF	2 K	Page 2
		0x0804 1800 - 0x0804 1FFF	2 K	Page 3
		-	-	-
		-	-	-
		0x0807 F000 - 0x0807 FFFF	2 K	Page 127
Information block	Bank 1	0x1FFF 0000 - 0x1FFF 6FFF	28 K	System memory
	Bank 2	0x1FFF 8000 - 0x1FFF EFFF	28 K	
	Bank 1	0x1FFF 7000 - 0x1FFF 73FF	1 K	OTP area
	Bank 1	0x1FFF 7800 - 0x1FFF 782F	48	Option bytes
	Bank 2	0x1FFF F800 - 0x1FFF F82F	48	

### 3.3.2. Korekta kodu błędu (ECC - ang. error code correction)

#### Tryb podwójnego banku (DBANK = 1, 64-bitowa szerokość danych)

Dane w pamięci Flash to 72-bitowe słowa: 8 bitów jest dodawanych do podwójnego słowa (64 bity). Mechanizm ECC obsługuje:

- Jedno wykrycie błędu i korekta
- Wykrywanie dwóch błędów

Gdy jeden błąd zostanie wykryty i skorygowany, flaga ECCC (korekcja ECC) jest ustawiana w rejestrze Flash ECC (FLASH\_ECCR). Jeśli ustawione jest ECCIE, generowane jest przerwanie.

Po wykryciu dwóch błędów w rejestrze FLASH\_ECCR ustawiana jest flaga ECCD (wykrywanie ECC). W takim przypadku generowany jest przerwanie NMI.

Po wykryciu błędu ECC adres podwójnego słowa z błędem i powiązany z nim bank są zapisywane w ADDR\_ECC [20: 0] i BK\_ECC w rejestrze FLASH\_ECCR. ADDR\_ECC [2: 0] są zawsze kasowane.

Po ustawieniu ECCC lub ECCD ADDR\_ECC i BK\_ECC nie są aktualizowane, jeśli wystąpi nowy błąd ECC. FLASH\_ECCR jest aktualizowany tylko po usunięciu flag ECC.

#### Tryb pojedynczego banku (DBANK = 0, szerokość danych 128 bitów)

Projekt pt. „Prace rozwojowe oraz testy w warunkach rzeczywistych autonomicznego i inteligentnego sterownika” nr Umowy z Województwem Łódzkim, w imieniu którego działa Centrum Obsługi Przedsiębiorcy: **RPLD.01.02.02-10-0006/18-00** realizowany w ramach Poddziałania I.2.2 Regionalnego Programu Operacyjnego Województwa Łódzkiego na lata 2014-2020 współfinansowanego ze środków Europejskiego Funduszu Rozwoju Regionalnego.

Dane w pamięci Flash to 144-bitowe słowa: do każdego podwójnego słowa dodaje się 8 bitów. Mechanizm ECC obsługuje:

- Jedno wykrycie błędu i korekta
- Wykrywanie dwóch błędów na 64 podwójne słowa

Użytkownik musi najpierw sprawdzić bit `SYSF_ECC`, a jeśli jest ustawiony, musi odwołać się do modelu programowania `DBANK = 1` (ponieważ system Flash jest zawsze uruchamiany na 2 bankach). Jeśli bit nie jest ustawiony, użytkownik musi odwołać się do następującego modelu programowania:

Każde podwójne słowo (bity 63: 0 i bity 127: 64) ustawione na ECC.

Gdy jeden błąd zostanie wykryty w 64 bitach LSB (bity 63: 0) i poprawiony, w rejestrze `FLASH_ECCR` ustawiana jest flaga `ECCC` (korekta ECC).

Gdy jeden błąd zostanie wykryty w 64 bitach MSB (bity 127: 64) i poprawiony, flaga `ECCC2` (korekta ECC2) jest ustawiana w rejestrze `FLASH_ECCR`.

Jeśli ustawiony jest `ECCIE`, generowane jest przerwanie. Użytkownik musi odczytać `ECCC` i `ECCC2`, aby zobaczyć, która część 128-bitowych danych została poprawiona (63: 0, 127: 64 lub oba).

Po wykryciu dwóch błędów w 64 bitach LSB, flaga `ECCD` (wykrywanie ECC) jest ustawiana w rejestrze `FLASH_ECCR`.

Po wykryciu dwóch błędów w 64 bitach MSB (bity 127: 64), flaga `ECCD2` (wykrywanie ECC2) jest ustawiana w rejestrze `FLASH_ECCR`.

W takim przypadku generowany jest `NMI`. Użytkownik musi odczytać `ECCD` i `ECCD2`, aby zobaczyć, która część 128-bitowych danych ma wykrywanie błędów (63: 0, 127: 64 lub oba).

Po wykryciu błędu ECC adres 2-krotnego podwójnego słowa, które nie spełniło oczekiwań, zapisywany jest w `ADDR_ECC [20: 0]` we `FLASH_ECCR`. `ADDR_ECC [20: 0]` zawiera adres 2-krotnego podwójnego słowa.

`ADDR_ECC [3: 0]` są zawsze kasowane. `BK_ECC` nie jest używane w tym trybie.

Gdy `ECCC / ECCC2` lub `ECCD / ECCD2` jest / są ustawione, jeżeli wystąpi nowy błąd ECC, `ADDR_ECC` nie jest aktualizowany. `FLASH_ECCR` jest aktualizowany tylko wtedy, gdy flagi `ECC (ECCC / ECCC2 / ECCD / ECCD2)` są usunięte.

*Uwaga: W przypadku pierwotnych danych: 0xFF FFFF FFFF FFFF FFFF, jeden błąd jest wykrywany i poprawiany, ale już wykrywanie dwóch błędów nie jest obsługiwane.*

*Gdy zgłaszany jest błąd ECC, nowy odczyt pod błędnym adresem może nie wygenerować błędu ECC jeśli dane są nadal obecne w bieżącym buforze, nawet jeśli `ECCC` i `ECCD` są wyczyszczone.*

### 3.3.3. Opóźnienie dostępu do odczytu

Aby poprawnie odczytać dane z pamięci FLASH, liczba stanów oczekiwania (LATENCY) musi być poprawnie zaprogramowana w rejestrze kontroli dostępu FLASH (`FLASH_ACR`) zgodnie z częstotliwością zegara procesora (HCLK) i wewnętrznym zakresem napięcia urządzenia `VCORE`.

Tabela 9 Liczba stanów oczekiwania zgodnie z częstotliwością zegara procesora (HCLK)

Wait states (WS) (LATENCY)	HCLK (MHz)	
	V <sub>CORE</sub> Range 1	V <sub>CORE</sub> Range 2
0 WS (1 CPU cycles)	≤ 20	≤ 8
1 WS (2 CPU cycles)	≤ 40	≤ 16
2 WS (3 CPU cycles)	≤ 60	≤ 26
3 WS (4 CPU cycles)	≤ 80	-
4 WS (5 CPU cycles)	≤ 100	-
5 WS (6 CPU cycles)	≤ 120	-
6 WS (7 CPU cycles)	≤ 140	-
7 WS (7 CPU cycles)	≤ 160	-
8 WS (7 CPU cycles)	≤ 170	-

Po zresetowaniu częstotliwość zegara procesora wynosi 16 MHz, a w rejestrze FLASH\_ACR jest konfigurowany 1 stan oczekiwania (WS ang. wait state).

Podczas zmiany częstotliwości procesora należy zastosować następujące sekwencje oprogramowania w celu dostrojenia liczby stanów oczekiwania potrzebnych do uzyskania dostępu do pamięci FLASH:

#### Zwiększenie częstotliwości procesora:

1. Zaprogramuj nową liczbę stanów oczekiwania na bity LATENCY w rejestrze kontroli dostępu Flash (FLASH\_ACR).
2. Sprawdź, czy nowa liczba stanów oczekiwania jest brana pod uwagę w celu uzyskania dostępu do pamięci FLASH, czytając rejestr FLASH\_ACR.
3. Przeanalizuj zmianę częstotliwości procesora spowodowaną przez:
  - zmianę źródła zegara zdefiniowanego przez bity SW w rejestrze RCC\_CFGR
  - lub przez preskaler zegara procesora zdefiniowany przez bity HPRE w RCC\_CFGR

Jeśli niektóre z powyższych dwóch kroków zmniejszają częstotliwość procesora, najpierw wykonaj ten krok, a następnie resztę. W przeciwnym razie zmodyfikuj źródłowy zegar procesora, zapisując bity SW w rejestrze RCC\_CFGR, a następnie (w razie potrzeby) zmodyfikuj preskaler zegara procesora, zapisując bity HPRE w RCC\_CFGR.

4. Sprawdź, czy nowe źródło zegara procesora lub / i nowa wartość preskalera zegara procesora są / są brane pod uwagę, odczytując odpowiednio status źródła zegara (bity SWS) lub / i wartość preskalera AHB (bity HPRE) odpowiednio w Rejestrze RCC\_CFGR.

#### Zmniejszenie częstotliwości procesora:

1. Zmodyfikuj źródło zegara procesora, zapisując bity SW w rejestrze RCC\_CFGR.
2. W razie potrzeby zmodyfikuj preskaler zegara procesora, zapisując bity HPRE w RCC\_CFGR.
3. Przeanalizuj zmianę częstotliwości procesora spowodowaną przez:
  - zmianę źródła zegara zdefiniowanego przez bity SW w rejestrze RCC\_CFGR
  - lub przez preskaler zegara procesora zdefiniowany przez bity HPRE w RCC\_CFGR

Jeśli niektóre z powyższych dwóch kroków zwiększają częstotliwość procesora, najpierw wykonaj kolejny krok, a następnie ten krok. W przeciwnym razie zmodyfikuj źródłowy zegar procesora, zapisując bity SW w rejestrze

RCC\_CFGR, a następnie (w razie potrzeby) zmodyfikuj preskaler zegara procesora, zapisując bity HPRE w RCC\_CFGR.

4. Sprawdź, czy nowe źródło zegara procesora lub / i nowa wartość preskalera zegara procesora jest / są brane pod uwagę, odczytując odpowiednio status źródła zegara (bity SWS) lub / i wartość preskalera AHB (bity HPRE) odpowiednio w Rejestr RCC\_CFGR.
5. Zaprogramuj nową liczbę stanów oczekiwania na bity LATENCY w rejestrze kontroli dostępu FLASH (FLASH\_ACR).
6. Sprawdź, czy nowa liczba stanów oczekiwania jest używana do uzyskania dostępu do pamięci FLASH, czytając rejestr FLASH\_ACR.

### 3.3.4. Adaptacyjny akcelerator pamięci w czasie rzeczywistym (ART Accelerator™)

Opatentowany akcelerator pamięci adaptacyjnej w czasie rzeczywistym (ART) jest zoptymalizowany dla standardowej w branży STM32 jednostki Arm Cortex-M4 z procesorami FPU. Równoważy nieodłączną przewagę wydajności Arm Cortex-M4 z FPU w porównaniu z technologiami pamięci Flash, co zwykle wymaga od procesora czekania na pamięć Flash przy wyższych częstotliwościach operacyjnych.

Aby zwolnić pełną wydajność procesora, akcelerator implementuje kolejkę pobierania instrukcji i podręczny cache, co zwiększa szybkość wykonywania programu z 64-bitowej pamięci Flash. Na podstawie testu porównawczego CoreMark, wydajność osiągnięta dzięki wykorzystaniu Akceleratora ART jest równoważna wykonaniu wait state 0 w pamięci Flash przy częstotliwości procesora do 170 MHz.

#### Pobranie instrukcji

Cortex®-M4 pobiera instrukcje przez magistralę ICode i niezmienną pulę danych (stała / dane) przez magistralę DCode. Blok pobierania wstępnego ma na celu zwiększenie wydajności dostępu do magistrali ICode.

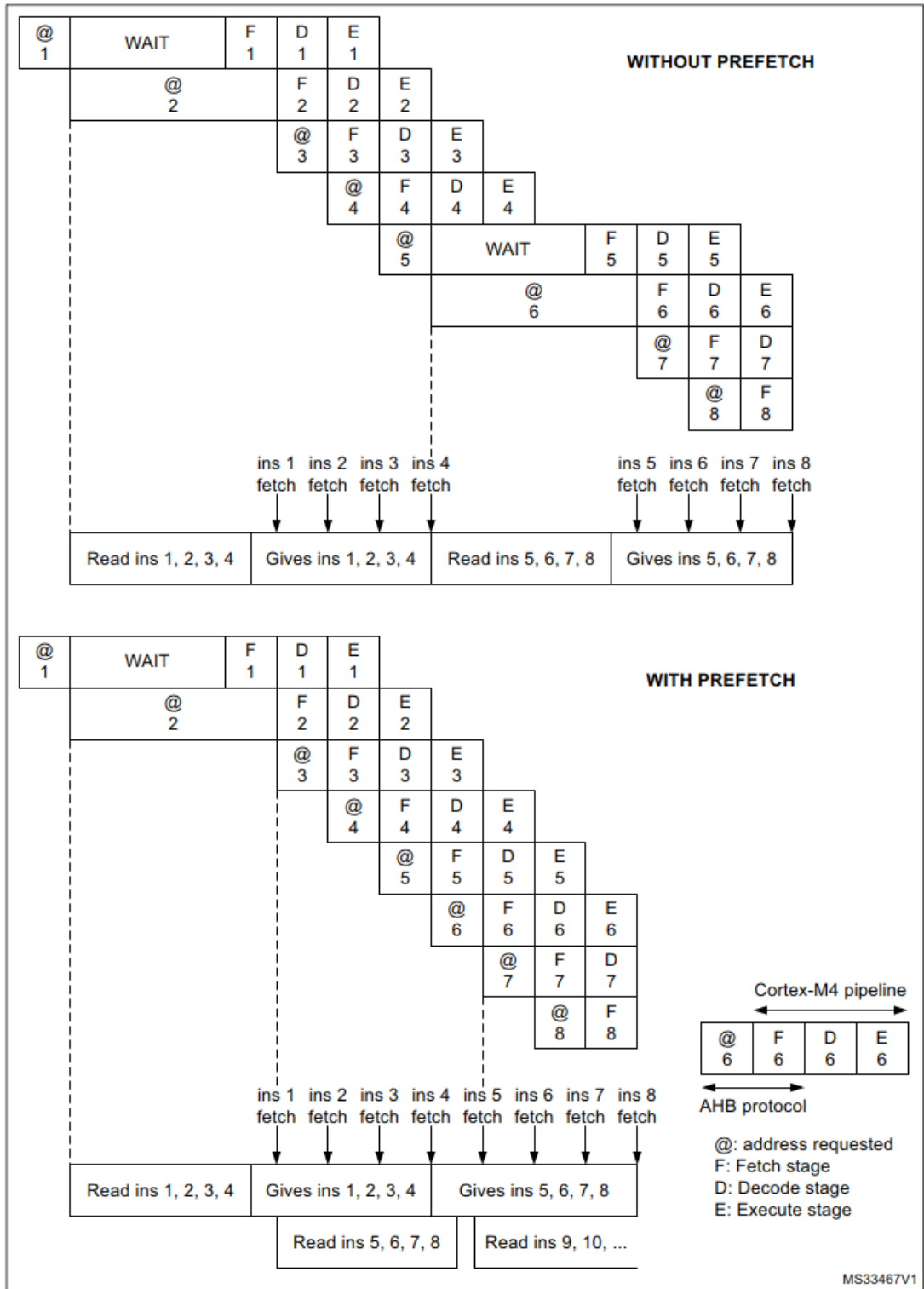
W przypadku trybu pojedynczego banku (bit opcji DBANK jest resetowany), każda operacja odczytu pamięci Flash zapewnia 128 bitów z czterech instrukcji 32 bitowych lub ośmiu instrukcji 16 bitowych, w zależności od uruchomionego programu. Ta 128-bitowa bieżąca linia instrukcji jest zapisywana w bieżącym buforze, a w przypadku kodu sekwencyjnego potrzebne są co najmniej cztery cykle procesora, aby wykonać poprzednią odczytaną linię instrukcji.

W trybie podwójnego banku (ustawiony jest bit opcji DBANK), każda operacja odczytu pamięci Flash zapewnia 64 bity z dwóch instrukcji 32 bitowych lub czterech instrukcji 16 bitowych, w zależności od uruchomionego programu. Ta 64-bitowa bieżąca linia instrukcji jest zapisywana w bieżącym buforze, a w przypadku kodu sekwencyjnego potrzebne są co najmniej dwa cykle procesora, aby wykonać poprzednią odczytaną linię instrukcji.

Pobrania wstępnego na magistrali ICode można użyć do odczytania kolejnej sekwencji instrukcji z pamięci FLASH, gdy procesor żąda bieżącej linii instrukcji.

Pobieranie wstępne jest włączane przez ustawienie bitu PRFTEN w rejestrze kontroli dostępu Flash (FLASH\_ACR). Ta funkcja jest przydatna, jeśli wymagany jest co najmniej jeden wait state (WS), aby uzyskać dostęp do pamięci FLASH.

Rysunek poniżej pokazuje wykonywanie sekwencyjnych 16-bitowych instrukcji z i bez wstępnego pobierania, gdy 3 WS są potrzebne do uzyskania dostępu do pamięci FLASH.



Rysunek 3 Sekwencyjne wykonywanie 16-bitowych instrukcji (64-bitowa szerokość odczytu)

Gdy kod nie jest sekwencyjny (rozgałęzienie), instrukcja może nie być obecna w aktualnie używanym wierszu lub w powtórzonej linii instrukcji. W tym przypadku (miss = brak) opóźnienie pod względem liczby cykli jest co najmniej równe liczbie stanów oczekiwania.

Jeśli w bieżącym buforze znajduje się pętla-to żaden nowy dostęp do pamięci FLASH nie jest wykonywany.

### Podręczna pamięć Instrukcji (I-Cache)

Aby ograniczyć czas tracony z powodu skoków w kodzie, możliwe jest zachowanie 32 linii 4 x 64 bitów w trybie podwójnego banku lub 32 linii 2 x 128 bitów w trybie pojedynczego banku w podręcznej pamięci instrukcji. Ta funkcja może być włączona poprzez ustawienie bitu włączenia podręcznej pamięci instrukcji (ICEN) w rejestrze kontroli dostępu Flash (FLASH\_ACR). Za każdym razem, gdy pojawia się brak sekwencyjności (żądanе dane nie są obecne w aktualnie używanym wierszu instrukcji, we wstępnie pobranym wierszu instrukcji lub w pamięci podręcznej instrukcji), odczytany wiersz jest kopiowany do podręcznej pamięci instrukcji. Jeśli procesor zażąda niektórych danych zawartych w podręcznej pamięci instrukcji, są one dostarczane bez wstawiania jakiegokolwiek opóźnienia. Po wypełnieniu wszystkich wierszy podręcznej pamięci instrukcji stosowana jest zasada LRU (ang. least recently used - ostatnio używana) w celu ustalenia wiersza do zastąpienia w podręcznej pamięci instrukcji. Ta funkcja jest szczególnie przydatna w przypadku kodu zawierającego pętle.

Podręczna pamięć instrukcji jest włączana po zresetowaniu systemu.

### Podręczna pamięć danych (D-Cache)

Pule formalne są pobierane z pamięci FLASH przez magistralę DCode na etapie realizacji potoku CPU. Każdy dostęp do odczytu szyny DCode pobiera 64 lub 128 bitów zapisanych w bieżącym buforze. W związku z tym potok procesora zostaje zablokowany, dopóki nie zostanie dostarczona żądanych puli formalnych. Aby ograniczyć czas stracony z tego powodu, dostęp przez magistralę DCode danych AHB ma wyższy priorytet niż dostęp przez magistralę ICode instrukcji AHB.

Jeśli często używane są niektóre pule formalne podręczną pamięć danych można włączyć, ustawiając bit włączenia pamięci podręcznej danych (DCEN) w rejestrze kontroli dostępu Flash (FLASH\_ACR). Ta funkcja działa jak podręczna pamięć instrukcji, ale zachowany rozmiar danych jest ograniczony do 8 wierszy 4 \* 64 bitów w trybie podwójnego banku i do 8 wierszy 2 \* 128 bitów w trybie pojedynczego banku.

Pamięć podręczna danych jest włączana po zresetowaniu systemu.

*Uwaga:*

- *Pamięć podręczna D jest aktywna tylko wtedy, gdy danych zażąda procesor (nie DMA1 i DMA2).*
- *Dane w bloku bajtów opcji nie są buforowane.*

### 3.3.5. Operacje programowania i kasowania pamięci FLASH

Wbudowaną pamięć FLASH serii STM32G4 można programować za pomocą programowania wbudowanego lub umieszczonego w aplikacji.

Metoda **programowania wewnętrznego ICP** (ang. in-circuit programming) służy do aktualizacji całej zawartości pamięci Flash, przy użyciu protokołu JTAG, protokołu SWD lub modułu ładującego w celu załadowania aplikacji użytkownika do mikrokontrolera. ICP oferuje szybką i wydajną iterację programu i eliminuje niepotrzebne przenoszenie pakietów lub przełączania urządzeń.

W przeciwieństwie do metody ICP **programowanie w aplikacji IAP** (ang. in-application programming) może wykorzystywać dowolny interfejs komunikacyjny obsługiwany przez mikrokontroler (I / O, USB, CAN, UART, I2C, SPI itp.) do pobierania danych programowych do pamięci. IAP pozwala użytkownikowi ponownie zaprogramować pamięć Flash podczas działania aplikacji. Niemniej jednak część aplikacji musi zostać wcześniej zaprogramowana w pamięci Flash przy użyciu ICP.

Zawartość pamięci FLASH nie jest gwarantowana, jeśli nastąpi reset urządzenia podczas operacji na pamięci Flash.

Bieżąca operacja w pamięci FLASH nie blokuje procesora, o ile procesor nie ma dostępu do tego samego banku pamięci. Pobieranie kodu lub danych jest możliwe w jednym banku, natomiast operacja zapisu / kasowania jest wykonywana w drugim banku.

Kasowanie i programowanie pamięci FLASH jest możliwe tylko w pierwszym zakresie skalowania napięcia. Bity VOS [1: 0] w PWR\_CR1 muszą być zaprogramowane na 01b.



Odwrotnie, podczas operacji programowania / kasowania pamięci FLASH każda próba odczytu tego samego banku pamięci powoduje zatrzymanie magistrali. Operacja odczytu przebiega poprawnie zaraz po zakończeniu operacji programowania / kasowania.

### Odblokowanie pamięci FLASH

Po zresetowaniu zapis w rejestrze kontrolnym Flash (FLASH\_CR) jest niedozwolony, aby zabezpieczyć pamięć FLASH przed możliwymi niechcianymi operacjami spowodowanymi na przykład zakłóceniami elektrycznymi. Do odblokowania tego rejestru służy następująca sekwencja:

1. Wpisz KEY1 = 0x45670123 do rejestru kluczy Flash (FLASH\_KEYR)
2. Wpisz KEY2 = 0xCDEF89AB do rejestru FLASH\_KEYR.

Każda zła sekwencja blokuje rejestr FLASH\_CR do czasu następnego resetu systemu. W przypadku nieprawidłowej sekwencji klawiszy wykrywany jest błąd magistrali i generowane jest przerwanie Hard Fault.

Rejestr FLASH\_CR można ponownie zablokować programowo, ustawiając bit LOCK w rejestrze FLASH\_CR.

*Uwaga: Rejestr FLASH\_CR nie może zostać zapisany, gdy ustawiony jest bit BSY w rejestrze stanu Flash (FLASH\_SR). Każda próba zapisu do niego przy użyciu zestawu bitów BSY powoduje zatrzymanie magistrali AHB, dopóki bit BSY nie zostanie wyczyszczony.*

### 3.3.6. Sekwencje kasowania głównej pamięci FLASH

Operację kasowania pamięci FLASH można wykonać na poziomie strony, na poziomie banku lub na całej pamięci FLASH (Mass Erase). Mass Erase nie wpływa na blok informacji (flash systemowy, OTP i bajty opcji).

#### Kasowanie strony

Aby usunąć stronę, wykonaj poniższą procedurę:

1. Sprawdź, czy nie działa żadna operacja w pamięci FLASH, sprawdzając bit BSY w rejestrze stanu Flash (FLASH\_SR).
2. Sprawdź i usuń wszystkie flagi programowania błędów wynikające z poprzedniego programowania. Jeśli nie, ustawiona jest flaga PGERR.
3. W trybie podwójnego banku (ustawiony jest bit opcji DBANK), ustaw bit PER i wybierz stronę do usunięcia (PNB) z powiązaniem bankiem (BKER) w rejestrze kontrolnym Flash (FLASH\_CR). W trybie pojedynczego banku (bit opcji DBANK jest resetowany) ustaw bit PER i wybierz stronę do usunięcia (PNB). Bit BKER w rejestrze kontrolnym Flash (FLASH\_CR) musi być wyczyszczony.
4. Ustaw bit STRT w rejestrze FLASH\_CR.
5. Poczekaj, aż bit BSY zostanie wyczyszczony w rejestrze FLASH\_SR.

*Uwaga:*

- Wewnętrzny oscylator HSI16 (16 MHz) jest włączany automatycznie po ustawieniu bitu STRT i wyłączany automatycznie po wyczyszczeniu bitu STRT, z wyjątkiem sytuacji, gdy HSI16 jest wcześniej włączony z HSION w rejestrze RCC\_CR.
- Jeśli kasowanie strony jest częścią obszaru chronionego przed zapisem (przez WRP lub PCROP), WRPERR jest ustawiany, a żądanie kasowania strony jest przerywane.

#### Bank 1, Bank 2 kasowanie masowe (dostępne tylko w trybie podwójnego banku, gdy DBANK = 1)

Aby wykonać masowe czyszczenie banku, wykonaj poniższą procedurę:

1. Sprawdź, czy nie działa żadna operacja na pamięci FLASH, sprawdzając bit BSY w rejestrze FLASH\_SR.
2. Sprawdź i usuń wszystkie flagi błędów spowodowane poprzednim programowaniem. Jeśli nie, ustawiona jest flaga PGERR.
3. Ustaw bit MER1 lub MER2 (w zależności od banku) w rejestrze kontrolnym Flash (FLASH\_CR). Oba banki można wybrać w tej samej operacji, w takim przypadku odpowiada to kasowaniu masowemu.
4. Ustaw bit STRT w rejestrze FLASH\_CR.

5. Poczekaj, aż bit BSY zostanie wyczyszczony w rejestrze stanu Flash (FLASH\_SR).

### Kasowanie masowe

Aby wykonać kasowanie masowe, wykonaj poniższą procedurę:

1. Sprawdź, czy nie działa żadna operacja na pamięci Flash, sprawdzając bit BSY w rejestrze FLASH\_SR.
2. Sprawdź i usuń wszystkie flagi błędów spowodowane poprzednim programowaniem. Jeśli nie, ustawiona jest flaga PGSEERR.
3. Ustaw bit MER1 i MER2 w rejestrze kontrolnym Flash (FLASH\_CR).
4. Ustaw bit STRT w rejestrze FLASH\_CR.
5. Poczekaj, aż bit BSY zostanie wyczyszczony w rejestrze stanu Flash (FLASH\_SR).

#### Uwaga:

Wewnętrzny oscylator HSI16 (16 MHz) jest włączany automatycznie po ustawieniu bitu STRT i wyłączany automatycznie po wyczyszczeniu bitu STRT, z wyjątkiem sytuacji, gdy HSI16 jest wcześniej włączony z HSION w rejestrze RCC\_CR.

Gdy DBANK = 0, jeśli ustawiony jest tylko bit MERA lub MERB, flaga PGSEERR jest ustawiona i operacja kasowania nie jest wykonywana.

Jeśli bank do skasowania lub jeden z banków do skasowania zawiera obszar chroniony przed zapisem (przez WRP lub PCROP), WRPEERR jest ustawiony i żądanie masowego skasowania jest przerywane (dla obu banków, jeśli oba są wybrane).

### 3.3.7. Sekwencje programowania pamięci głównej FLASH

Pamięć FLASH jest programowana jednocześnie 72 bitami (64 bity + 8 bitów ECC).

Programowanie we wcześniej zaprogramowanym adresie jest niedozwolone, z wyjątkiem sytuacji, gdy dane do zapisu zawierają tylko zero, a każda próba ustawia flagę PROGERR w rejestrze stanu Flash (FLASH\_SR).

Możliwe jest jedynie zaprogramowanie podwójnego słowa (2 x 32-bitowe dane).

- Każda próba zapisu zestawów bajtów lub półsłów SIZERR w rejestrze FLASH\_SR.
- Każda próba napisania podwójnego słowa, które nie jest wyrównane z adresem podwójnego słowa, ustawia flagę PGAERR w rejestrze FLASH\_SR.

### Programowanie standardowe

Sekwencja programowania pamięci FLASH w trybie standardowym jest następująca:

1. Sprawdź, czy nie działa żadna operacja na pamięci głównej Flash, sprawdzając bit BSY w rejestrze stanu Flash (FLASH\_SR).
2. Sprawdź i usuń wszystkie flagi programowania błędów spowodowane poprzednim programowaniem. Jeśli nie, ustawiona jest flaga PGSEERR.
3. Ustaw bit PG w rejestrze kontrolnym Flash (FLASH\_CR).
4. Wykonaj operację zapisu danych pod żądanym adresem pamięci, w głównym bloku pamięci lub w obszarze OTP. Można zaprogramować tylko podwójne słowo.
  - Wpisz pierwsze słowo w adresie dopasowanym do podwójnego słowa
  - Wpisz drugie słowo
5. Poczekaj, aż bit BSY zostanie wyczyszczony w rejestrze FLASH\_SR.
6. Sprawdź, czy flaga EOP jest ustawiona w rejestrze FLASH\_SR (co oznacza, że operacja programowania zakończyła się powodzeniem) i wyczyść ją programowo.
7. Wyczyść bit PG w rejestrze FLASH\_SR, jeśli nie ma już więcej żądań programowania.

#### Uwaga:

Gdy interfejs Flash otrzyma właściwą sekwencję (podwójne słowo), programowanie jest uruchamiane automatycznie i ustawiany jest bit BSY. Wewnętrzny oscylator HSI16 (16 MHz) jest włączany automatycznie po ustawieniu bitu PG i wyłączany automatycznie po wyczyszczeniu bitu PG, z wyjątkiem sytuacji, gdy HSI16 jest wcześniej włączony z HSION w rejestrze RCC\_CR.

Jeśli użytkownik musi zaprogramować tylko jedno słowo, podwójne słowo musi zostać uzupełnione wartością kasowania 0xFFFF FFFF, aby automatycznie uruchomić programowanie.

ECC jest obliczane z podwójnego słowa.

### **Szybkie programowanie dla wiersza (64 podwójne słowa jeśli DBANK = 1) lub dla połowy wiersza (64 podwójne słowa jeśli DBANK = 0)**

Ten tryb pozwala zaprogramować wiersz (64 podwójne słowa jeśli DBANK = 1) lub pół wiersz (64 podwójne słowa jeśli DBANK = 0), a także skrócić czas programowania strony, eliminując potrzebę sprawdzania lokalizacji Flasha przed zaprogramowaniem i unikanie wzrostu i spadku wysokiego napięcia w trakcie programowania każdego podwójnego słowa. Podczas szybkiego programowania częstotliwość zegara procesora (HCLK) musi wynosić co najmniej 8 MHz.

W trybie szybkiego programowania można zaprogramować tylko pamięć główną.

Sekwencja programowania pamięci głównej Flash w trybie standardowym jest następująca:

1. W trybie pojedynczego banku (DBANK = 0) wykonaj masowe czyszczenie. Jeśli nie ustawiona jest flaga PGSERR. Szybkie programowanie można wykonać tylko wtedy, gdy kod jest wykonywany z pamięci RAM lub z programu. Jeśli nie, ustawiona jest flaga PGSERR.
2. Sprawdź, czy nie działa żadna operacja na pamięci głównej Flash, sprawdzając bit BSY w rejestrze stanu Flash (FLASH\_SR).
3. Sprawdź i usuń flagę wszystkich błędów spowodowanych poprzednim programowaniem.
4. Ustaw bit FSTPG w rejestrze kontrolnym Flash (FLASH\_CR).
5. Wpisz 64 podwójne słowa, aby zaprogramować wiersz lub pół wiersza. Można zaprogramować tylko podwójne słowa:
  - Wpisz pierwsze słowo w adresie właściwym dla podwójnego słowa
  - Wpisz drugie słowo.
6. Poczekać, aż bit BSY zostanie wyczyszczony w rejestrze FLASH\_SR.
7. Sprawdź, czy flaga EOP jest ustawiona w rejestrze FLASH\_SR (co oznacza, że operacja programowania zakończyła się powodzeniem) i wyczyść ją programowo.
8. Wyczyść bit FSTPG w rejestrze FLASH\_SR, jeśli nie ma już więcej żądania programowania.

#### **Uwaga:**

Jeśli próbujesz zapisać do Flasha w trybie szybkiego programowania, gdy operacja odczytu trwa w tym samym banku, programowanie zostanie przerwane bez powiadomienia systemowego (nie zostanie ustawiona flaga błędu).

Gdy interfejs Flash otrzyma pierwsze podwójne słowo, programowanie rozpocznie się automatycznie. Bit BSY jest ustawiany, gdy do pierwszego podwójnego słowa zostanie zastosowane wysokie napięcie, i jest kasowany, gdy ostatnie podwójne słowo zostanie zaprogramowane lub w przypadku błędu. Wewnętrzny oscylator HSI16 (16 MHz) jest włączany automatycznie po ustawieniu bitu FSTPG i wyłączany automatycznie po wyczyszczeniu bitu FSTPG, z wyjątkiem sytuacji, gdy HSI16 jest wcześniej włączony z HSION w rejestrze RCC\_CR.

64 podwójne słowo należy zapisać sukcesywnie. Wysokie napięcie jest utrzymywane we flashu w czasie całego cyklu programowania. Maksymalny czas między żądaniami zapisu dwóch podwójnych słów to czas programowania (około  $2 \times 25\mu\text{s}$ ). Jeśli po tym czasie pojawi się drugie podwójne słowo, szybkie programowanie zostanie przerwane i ustawiony zostanie błąd MISSERR.

Czas wysokiego napięcia nie może przekraczać 8 ms dla zapisania pełnego wiersza pomiędzy dwoma kasowaniami. Jest to zagwarantowane przez sekwencję 64 podwójnych słów kolejno zapisywanych zgodnie

z zegarem systemowym większym lub równym 8 MHz. Wewnętrzny licznik czasu ma limit 7 ms, gdy ustawione jest szybkie programowanie, i zatrzymuje programowanie jeśli limit jest przekroczony. W takim przypadku ustawiany jest bit FASTERR.

W przypadku wystąpienia błędu wysokie napięcie zostaje zatrzymane, a następne kolejne podwójne słowo nie jest programowane. Ale wszystkie poprzednie podwójne słowa zostały zaprogramowane poprawnie.

### Błędy programowania pamięci FLASH

Wykryto kilka rodzajów błędów programowania. W przypadku błędu operacja na pamięci Flash (programowanie lub kasowanie) zostaje przerwana.

- **PROGERR:** Błąd programowania  
W standardowym programowaniu: PROGERR jest ustawiany, jeśli słowo do zapisania nie zostało wcześniej usunięte (z wyjątkiem sytuacji, gdy wartość do zaprogramowania jest pełnym zerem).
- **SIZERR:** Błąd programowania rozmiaru  
W standardowym programowaniu lub w szybkim programowaniu: można zaprogramować tylko podwójne słowo i tylko 32-bitowe dane. SIZERR jest ustawiany, jeśli zapisany jest bajt lub pół słowa.
- **PGAERR:** Błąd programowania wyrównania  
PGAERR jest ustawiany, jeśli wystąpi jeden z następujących warunków:
  - W programowaniu standardowym: pierwsze słowo, które ma zostać zaprogramowane, nie jest wyrównane do adresu podwójnego słowa lub drugie słowo nie należy do tego samego adresu.
  - W szybkim programowaniu: dane do programu nie należą do tego samego wiersza, co poprzednio zaprogramowane podwójne słowa lub adres do oprogramowania nie jest większy niż poprzedni.
- **PGSERR:** Błąd sekwencji programowania

PGSERR jest ustawiany, jeśli wystąpi jeden z następujących warunków:

- W standardowej lub szybkiej sekwencji programowania: dane są zapisywane, gdy PG i FSTPG są kasowane.
  - W standardowej lub szybkiej sekwencji programowania: MER1, MER2 i PER nie są kasowane, gdy ustawiony jest PG lub FSTPG.
  - W szybkiej sekwencji programowania: kasowanie masowe nie jest wykonywane przed ustawieniem bitu FSTPG.
  - W masowej sekwencji kasowania: PG, FSTPG i PER nie są kasowane, gdy ustawiony jest MER1 lub MER2.
  - W sekwencji usuwania stron: PG, FSTPG, MER1 i MER2 nie są usuwane po ustawieniu PER.
  - PGSERR jest ustawiany również jeśli PROGERR, SIZERR, PGAERR, WRPERR, MISSERR, FASTERR lub PGSERR jest ustawiony z powodu poprzedniego błędu programowania.
  - Gdy DBANK = 0, w przypadku ustawienia tylko MER1 lub MER2, ustawiane jest PGSERR (masowe kasowanie banku jest niedozwolone).
- **WRPERR:** błąd ochrony przed zapisem  
WRPERR jest ustawiany, jeśli wystąpi jeden z następujących warunków:
    - Próba zaprogramowania lub skasowania w obszarze chronionym przed zapisem (WRP) lub w obszarze PCROP lub w obszarze zabezpieczanej pamięci.
    - Próba usunięcia banku, gdy jedna lub więcej stron jest chronionych przez WRP lub PCROP.
    - Funkcje debugowania są połączone lub rozruch jest wykonywany z SRAM lub z pamięci Flash systemu, gdy ochrona przed odczytem (RDP) jest ustawiona na Poziom 1.
    - Próba zmodyfikowania bajtów opcji, gdy ochrona przed odczytem (RDP) jest ustawiona na Poziom 2.
  - **MISSERR:** Błąd braku danych szybkiego programowania

W szybkim programowaniu: wszystkie dane muszą być zapisywane kolejno. MISSERR jest ustawiany, jeśli poprzednie programowanie danych zostało zakończone, a następne dane do programu nie zostały jeszcze zapisane.

- **FASTERR:** Błąd szybkiego programowania

W szybkim programowaniu: FASTERR jest ustawiany, jeśli wystąpi jeden z następujących warunków:

- Gdy bit FSTPG jest ustawiony na więcej niż 7 ms, co powoduje wykrycie przekroczenia limitu czasu.
- Gdy szybkie programowanie zostało przerwane przez MISSERR, PGAERR, WRPERR lub SIZERR.

Jeśli podczas programu lub operacji usuwania wystąpi błąd, w rejestrze FLASH\_SR ustawiana jest jedna z następujących flag błędów:

- PROGERR, SIZERR, PGAERR, PGSERR, MISSERR (flagi błędów programu),
- WRPERR (flaga błędu ochrony)

W takim przypadku, jeśli bit zezwolenia na przerwanie błędu ERRIE jest ustawiony w rejestrze stanu Flash (FLASH\_SR), generowane jest przerwanie, a flaga błędu operacji OPERR jest ustawiona w rejestrze FLASH\_SR.

*Uwaga: W przypadku wykrycia kilku kolejnych błędów (na przykład w przypadku przestania DMA do pamięci Flash) flagi błędów nie mogą być usunięte do końca kolejnych żądań zapisu.*

### Programowanie a pamięci podręczne

Jeśli dostęp do zapisu w pamięci Flash dotyczy niektórych danych w pamięci cache, dostęp do zapisu Flash modyfikuje dane w pamięci Flash i dane w pamięci cache.

Jeśli operacja wymazywania w pamięci Flash dotyczy również danych lub instrukcji w pamięci podręcznej, należy upewnić się, że dane te są przepisywane przed dostępem do nich podczas wykonywania kodu. Jeśli nie można tego zrobić bezpiecznie, zaleca się opróżnienie pamięci podręcznej poprzez ustawienie bitów DCRST i ICRST w rejestrze kontroli dostępu Flash (FLASH\_ACR).

*Uwaga: Pamięć podręczna I/D powinna być opróżniana tylko wtedy, gdy jest wyłączona (I / DCEN = 0).*

### 3.3.8. Odczyt w czasie zapisu (RWW Read-while-write) dostępny tylko w trybie podwójnego banku (DBANK = 1)

Tryb podwójnego banku jest dostępny tylko wtedy, gdy ustawiony jest bit opcji DBANK, umożliwiający operacje odczytu w czasie zapisu. Ta funkcja umożliwia wykonanie operacji odczytu z jednego banku, podczas gdy operacja kasowania lub programowania jest wykonywana dla drugiego banku.

*Uwaga: Operacje zapisu w czasie zapisu są niedozwolone. Na przykład nie można wykonać operacji kasowania na jednym banku podczas programowania drugiego.*

#### Odczyt z banku 1 podczas kasowania strony w banku 2 (lub odwrotnie)

Podczas wykonywania kodu programu z banku 1 można wykonać operację usuwania strony w banku 2 (i odwrotnie). Postępuj zgodnie z poniższą procedurą:

1. Sprawdź, czy żadna operacja w pamięci Flash nie jest wykonywana, sprawdzając bit BSY w rejestrze statusu Flash (FLASH\_SR) (BSY jest aktywne, gdy operacja kasowania / programu trwa w banku 1 lub banku 2).
2. Ustaw bit PER, PSB, aby wybrać stronę i BKER, aby wybrać bank w rejestrze kontrolnym Flash (FLASH\_CR).
3. Ustaw bit STRT w rejestrze FLASH\_CR.
4. Poczekaj na usunięcie bitu BSY (lub użyj przerwania EOP).

#### Odczyt z banku 1 podczas masowego kasowania banku 2 (lub odwrotnie)

Podczas wykonywania kodu programu z banku 1 możliwe jest wykonanie operacji kasowania masowego w banku 2 (i odwrotnie). Postępuj zgodnie z poniższą procedurą:

1. Sprawdź, czy żadna operacja pamięci Flash nie jest wykonywana, sprawdzając bit BSY w rejestrze statusu Flash (FLASH\_SR) (BSY jest aktywne, gdy operacja kasowania / programu trwa w banku 1 lub banku 2).
2. Ustaw MER1 lub MER2 na w rejestrze kontrolnym (FLASH\_CR).
3. Ustaw bit STRT w rejestrze FLASH\_CR.
4. Poczekaj na usunięcie bitu BSY (lub użyj przerwania EOP).

### Odczyt z banku 1 podczas programowania banku 2 (lub odwrotnie)

Podczas wykonywania kodu programu z banku 1 możliwe jest wykonanie operacji programu na banku 2. (i odwrotnie). Postępuj zgodnie z poniższą procedurą:

1. Sprawdź, czy żadna operacja w pamięci Flash nie jest wykonywana, sprawdzając bit BSY w rejestrze statusu Flash (FLASH\_SR) (BSY jest aktywne, gdy operacja kasowania / programu trwa na poziomie 1 lub 2).
2. Ustaw bit PG w rejestrze kontrolnym Flash (FLASH\_CR).
3. Wykonaj operacje zapisu danych w żądanym adresie pamięci w głównym bloku pamięci lub obszarze OTP.
4. Poczekaj na usunięcie bitu BSY (lub użyj przerwania EOP).

## 3.4. FLASH bajty opcjonalne

### 3.4.1. Opis bajtów opcjonalnych

Bajty opcjonalne są konfigurowane przez użytkownika końcowego w zależności od wymagań aplikacji. Jako konfigurację przykładową można wybrać konfigurację watchdog'a w trybie sprzętowym lub programowym.

Podwójne słowo jest dzielone w bajtach opcjonalnych w następujący sposób:

Tabela 10 Format bajtu opcjonalnego

63-24	23-16	15-8	7-0	31-24	23-16	15-8	7-0
Complemented option byte 3	Complemented option byte 2	Complemented option byte 1	Complemented option byte 0	Option byte 3	Option byte 2	Option byte 1	Option byte 0

Bajty opcjonalne można odczytać z lokalizacji pamięci wymienionych w tabeli lub z rejestrów bajtów opcjonalnych:

- Flash option register (FLASH\_OPTR)
- Flash PCROP1 Start address register (FLASH\_PCROP1SR)
- Flash PCROP1 End address register (FLASH\_PCROP1ER)
- Flash WRP area A address register (FLASH\_WRP1AR)
- Flash WRP area B address register (FLASH\_WRP1BR)
- Flash PCROP2 Start address register (FLASH\_PCROP2SR)
- Flash PCROP2 End address register (FLASH\_PCROP2ER)
- Flash Bank 2 WRP area A address register (FLASH\_WRP2AR)
- Flash Bank 2 WRP area B address register (FLASH\_WRP2BR).

Tabela 11 Organizacja bajtów opcjonalnych

BANK	Address	[63:56]	[55:48]	[47:40]	[39:32]	[31:24]	[23:16]	[15:8]	[7:0]
Bank 1	1FFF7800	USER OPT			RDP	USER OPT			RDP
	1FFF7808	Unused		Unused and PCROP1_STRT[14:0]		Unused		Unused and PCROP1_STRT[14:0]	
	1FFF7810	PCROP_RDP and Unused		Unused and PCROP1_END[14:0]		PCROP_RDP and Unused		Unused and PCROP1_END[14:0]	
	1FFF7818	Unused	WRP1A_END [6:0]	Unused	WRP1A_STRT [6:0]	Unused	WRP1A_END [6:0]	Unused	WRP1A_STRT [6:0]
	1FFF7820	Unused	WRP2A_END [6:0]	Unused	WRP2A_STRT [6:0]	Unused	WRP1B_END [6:0]	Unused	WRP1B_STRT [6:0]
	1FFF7828	Unused	BOOT_LOCK	Unused	SEC_SIZE1	Unused	BOOT_LOCK	Unused	SEC_SIZE1

BANK	Address	[63:56]	[55:48]	[47:40]	[39:32]	[31:24]	[23:16]	[15:8]	[7:0]
Bank 2	1FFFF800	Unused							
	1FFFF808	Unused		Unused and PCROP2_STRT[14:0]		Unused		Unused and PCROP2_STRT[14:0]	
	1FFFF810	Unused		Unused and PCROP2_END[14:0]		Unused		Unused and PCROP2_END[14:0]	
	1FFFF818	Unused	WRP2A_END [6:0]	Unused	WRP2A_STRT [6:0]	Unused	WRP2A_END [6:0]	Unused	WRP2A_STRT [6:0]
	1FFFF820	Unused	WRP2B_END [6:0]	Unused	WRP2B_STRT [6:0]	Unused	WRP2B_END [6:0]	Unused	WRP2B_STRT [6:0]
	1FFFF828	Unused			SEC_SIZE2	Unused			SEC_SIZE2

**Bajty opcjonalne ochrona przed czytaniem i wykorzystaniem przez użytkownika**

Adres pamięci Flash : 0x1FFF 7800

Wartość ustawiona przez producenta ST: 0xFFEE F8AA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	IRH_EN	PG10_Mode		n_BOOT0	nSW_BOOT0	CCMSRAM_RST	SRAM_PE	n_BOOT1	DBANK	Res.	BFB2	WWDG_SW	IWGD_STDBY	IWDG_STOP	IWDG_SW
	r	r	r		r	r	r	r	r			r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	nRST_SHDW	nRST_STDBY	nRST_STOP	Res.	BOR_LEV[2:0]			RDP[7:0]							
	r	r	r		r	r	r	r	r	r	r	r	r	r	r

Bit 31 Zarezerwowany, musi zachować wartość resetowania.

Bit 30 **IRH\_IN**: Wewnętrzny przełącznik dla pada PG10

0: IRH niedostępny

1: IRH dostępny



Bity 29:28	<p><b>PG10_Mode:</b> Tryb pada PG10</p> <p>00: Reset Wejścia/Wyjścia  01: Reset tylko Wejścia  10: Reset GPIO  11: Reset Wejścia/Wyjścia</p>
Bit 27	<p><b>nBOOT0:</b> nBOOT0 bit opcji</p> <p>0: nBOOT0 = 0  1: nBOOT0 = 1</p>
Bit 26	<p><b>nSWBOOT0:</b> tryb pobrania BOOT0</p> <p>0: BOOT0 pobrany z bitu opcji nBOOT0  1: BOOT0 pobrany z piny PB8/BOOT0</p>
Bit 25	<p><b>CCMSRAM_RST:</b> CCM SRAM czyszczenie w trakcie resetu</p> <p>0: CCM SRAM czyszczony gdy rozpoznany reset  1: CCM SRAM nie czyszczony gdy rozpoznany reset</p>
Bit 24	<p><b>SRAM_PE:</b> SRAM1 and CCM SRAM sprawdzanie parzystości</p> <p>0: SRAM1 and CCM SRAM sprawdzanie parzystości dostępne  1: SRAM1 and CCM SRAM sprawdzanie parzystości niedostępne</p>
Bit 23	<p><b>nBOOT1:</b> konfiguracja trybu rozruchu</p> <p>Ten bit razem z pinem BOOT0 wybiera tryb rozruchu z pamięci głównej Flash, SRAM1 lub pamięci systemowej.</p>
Bit 22	<p><b>DBANK:</b></p> <p>0: Tryb pojedynczego banku z szerokością odczytu danych 128 bitów  1: Tryb podwójnego banku z danymi 64-bitowymi  Ten bit można zapisać tylko wtedy, gdy PCROP1 / 2 jest wyłączony.</p>
Bit 21	<p>Zarezerwowany, musi zachować wartość resetowania.</p>
Bit 20	<p><b>BFB2:</b> Rozruch z dwóch banków</p> <p>0: Wyłączanie rozruchu z dwóch banków  1: Włączanie uruchamiania z dwóch banków</p>
Bit 19	<p><b>WWDG_SW:</b> Wybór okna dla watchdoga</p> <p>0: Watchdog okno sprzętowe  1: Watchdog okno programowe</p>
Bit 18	<p><b>IWDG_STDBY:</b> Licznik niezależnego watchdoga zamrażany w trybie gotowości (Standby)</p> <p>0: Licznik niezależnego watchdoga jest zamrożony w trybie gotowości  1: Licznik niezależnego watchdoga działa w trybie gotowości</p>
Bit 17	<p><b>IWDG_STOP:</b> Licznik niezależnego watchdoga zamraża się w trybie zatrzymania (Stop)</p> <p>0: Licznik niezależnego watchdoga jest zamrożony w trybie zatrzymania  1: Licznik niezależnego watchdoga działa w trybie zatrzymania</p>
Bit 16	<p><b>IDWG_SW:</b> Wybór niezależności watchdoga</p> <p>0: watchdog niezależny od sprzętu  1: watchdog niezależny od oprogramowania</p>

- Bit 15           Zarezerwowany, musi być wyczyszczony
- Bit 14           **nRST\_SHDW**  
 0: Reset generowany po przejściu do trybu zamykania (Shutdown)  
 1: Reset nie jest generowany po przejściu do trybu zamykania
- Bit 13           **nRST\_STDBY**  
 0: Reset generowany po przejściu w tryb gotowości (Standby)  
 1: Reset nie jest generowany po przejściu w tryb gotowości
- Bit 12           **nRST\_STOP**  
 0: Reset generowany po przejściu do trybu zatrzymania (Stop)  
 1: Reset nie jest generowany po przejściu do trybu zatrzymania
- Bit 11           Zarezerwowany, musi być wyczyszczony
- Bity 10: 8       **BOR\_LEV**: Poziomy zasilania BOR dla aktywacji resetu  
 Te bity zawierają próg poziomu zasilania VDD, który aktywuje / zwalnia reset.  
 000: BOR Poziom 0. Próg poziomu resetowania wynosi około 1,7 V.  
 001: BOR Poziom 1. Próg poziomu resetowania wynosi około 2,0 V.  
 010: BOR Poziom 2. Próg poziomu resetowania wynosi około 2,2 V.  
 011: BOR Poziom 3. Próg poziomu resetowania wynosi około 2,5 V.  
 100: BOR Poziom 4. Próg poziomu resetowania wynosi około 2,8 V.
- Bit 7: 0         **RDP**: Odczyt poziomu ochrony  
 0xAA: Poziom 0, ochrona przed odczytem nieaktywna  
 0xCC: Poziom 2, aktywna ochrona odczytu chipów  
 Inne: Poziom 1, aktywna ochrona odczytu pamięci  
*Uwaga: Zadbaj o konfigurację PCROP\_RDP na Poziomie 1.*

### PCROP1 Start adresacji bajtów opcjonalnych

Adres pamięci Flash: 0x1FFF 7808

Wartość ustawiona przez producenta ST: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PCROP1_STRT[14:0]														
	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

- Bity 31:15       Zarezerwowane, muszą być wyczyszczone
- Bity 14: 0       **PCROP1\_STRT**: Offset startowy obszaru PCROP  
 DBANK = 1  
 PCROP1\_STRT zawiera pierwsze podwójne słowo obszaru PCROP dla banku 1.  
 DBANK = 0  
 PCROP1\_STRT zawiera pierwsze 2x podwójne słowo obszaru PCROP dla całej pamięci.

### PCROP1 Adres końcowy bajtów opcjonalnych

Adres pamięci Flash: 0x1FFF 7810

Wartość ustawiona przez producenta ST: 0x00FF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PCROP_RDP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r/w															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PCROP1_END[14:0]														
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

- Bit 31            **PCROP\_RDP**: Obszar PCROP zostaje zachowany po obniżeniu poziomu RDP
- Ten bit jest tylko wskaźnikiem logicznym. Jest resetowany po pełnym kasowaniu masowym z powodu zmiany RDP z Poziomu 1 na Poziomu 0.
- 0: Obszar PCROP nie jest usuwany, gdy poziom RDP zostanie obniżony z Poziomu 1 do Poziomu 0.
- 1: Obszar PCROP jest usuwany, gdy poziom RDP jest obniżany z Poziomu 1 do Poziomu 0 (pełne kasowanie).

Bity 30:15        Zarezerwowane, muszą być wyczyszczone.

- Bity 14:0        **PCROP1\_END**: Bank 1 PCROP offset adresu końcowego
- DBANK=1  
PCROP1\_END zawiera pierwsze podwójne słowo obszaru PCROP dla banku 1.
- DBANK=0  
PCROP1\_END zawiera pierwsze 2x podwójne słowo obszaru PCROP dla całej pamięci.

### WRP1 Adresacja obszaru A bajtów opcjonalnych

Adres pamięci Flash: 0x1FFF 7818

Wartość ustawiona przez producenta ST: 0xFF00 FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_END[6:0]					
										r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_STRT[6:0]					
										r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:23        Zarezerwowane, muszą zachować wartość resetowania.

- Bity 22:16        **WRP1A\_END**: Offset WRP końca pierwszego obszaru „A”
- DBANK=1  
WRP1A\_END zawiera ostatnią stronę pierwszego obszaru WRP w banku 1.
- DBANK=0  
WRP1A\_END zawiera ostatnią stronę pierwszego obszaru WRP dla całej pamięci.

Bity 15:7         Zarezerwowane, muszą zachować wartość resetowania.

- Bity 6:0          **WRP1A\_STRT**: Offset WRP startu pierwszego obszaru „A”
- DBANK=1  
WRP1A\_STRT zawiera pierwszą stronę pierwszego obszaru WRP w banku 1.
- DBANK=0

WRP1A\_STRT zawiera pierwszą stronę pierwszego obszaru WRP dla całej pamięci.

### WRP2 Adresacja obszaru A bajtów opcjonalnych

Adres pamięci Flash: 0x1FFF 7820

Wartość ustawiona przez producenta ST: 0xFF00 FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP2A_END[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP2A_STRT[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 31:23 Zarezerwowane, muszą zachować wartość resetowania.

Bit 22:16 **WRP2A\_END**: Offset WRP końca drugiego obszaru „B”

DBANK=1

WRP2A\_END zawiera ostatnią stronę drugiego obszaru WRP w banku 1.

DBANK=0

WRP2A\_END zawiera ostatnią stronę drugiego obszaru WRP dla całej pamięci.

Bit 15:7 Zarezerwowane, muszą zachować wartość resetowania.

Bit 6:0 **WRP1A\_STRT**: Offset WRP startu drugiego obszaru „B”

DBANK=1

WRP1A\_STRT zawiera pierwszą stronę drugiego obszaru WRP w banku 1.

DBANK=0

WRP1A\_STRT zawiera pierwszą stronę drugiego obszaru WRP dla całej pamięci.

### Bezpieczny obszar pamięci bajtów opcjonalnych Bank 1

Adres pamięci Flash: 0x1FFF7828

Wartość ustawiona przez producenta ST: 0xFF00 FF00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BOOT_LOCK
															r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEC_SIZE1[7:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 31:17 Zarezerwowane, muszą zachować wartość resetowania.

Bit 16 **BOOT\_LOCK** forsowanie rozruchu z obszaru użytkownika

0: Rozruch forsowany na podstawie konfiguracji bitu opcji pada

1: Rozruch forsowany z pamięci głównej Flash

Bit 15:8 Zarezerwowane, muszą zachować wartość resetowania.

Bit 7:0 **SEC\_SIZE1** Rozmiar obszaru pamięci chronionej

Zawiera ilość stron pamięci chronionej.

**PCROP2 Adres startowy bajtów opcjonalnych**

Adres pamięci Flash: 0x1FFFF808

Wartość ustawiona przez producenta ST: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PCROP2_STRT[14:0]														
	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bity 31:15 Zarezerwowane, muszą być wyczyszczone

Bity 14: 0 **PCROP2\_STRT**: Offset startowy obszaru PCROP

DBANK = 1

PCROP2\_STRT zawiera pierwsze podwójne słowo obszaru PCROP dla banku 1.

DBANK = 0

PCROP2\_STRT zawiera pierwsze 2x podwójne słowo obszaru PCROP dla całej pamięci.

**PCROP2 Adres końcowy bajtów opcjonalnych**

Adres pamięci Flash: 0x1FFFF810

Wartość ustawiona przez producenta ST: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PCROP2_END[14:0]														
	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bity 31:14 Zarezerwowane, muszą być wyczyszczone.

Bity 13:0 **PCROP2\_END**: PCROP offset adresu końcowego

DBANK=1

PCROP2\_END zawiera pierwsze podwójne słowo obszaru PCROP dla banku 1.

DBANK=0

PCROP2\_END zawiera pierwsze 2x podwójne słowo obszaru PCROP dla całej pamięci.

**WRP1 Adresacja obszaru B bajtów opcjonalnych**

Adres pamięci Flash: 0x1FFF 7818

Wartość ustawiona przez producenta ST: 0xFF00 FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_END[6:0]						
									rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_STRT[6:0]						
									rW	rW	rW	rW	rW	rW	rW

Bity 31:23 Zarezerwowane, muszą zachować wartość resetowania.

- Bit 22:16 **WRP1B\_END**: Offset WRP końca pierwszego obszaru „B”  
 DBANK=1  
 WRP1B\_END zawiera ostatnią stronę pierwszego obszaru WRP w banku 2.  
 DBANK=0  
 WRP1B\_END zawiera ostatnią stronę trzeciego obszaru WRP dla całej pamięci.
- Bit 15:7 Zarezerwowane, muszą zachować wartość resetowania.
- Bit 6:0 **WRP1B\_STRT**: Offset WRP startu pierwszego obszaru „B”  
 DBANK=1  
 WRP1B\_STRT zawiera pierwszą stronę pierwszego obszaru WRP w banku 2.  
 DBANK=0  
 WRP1B\_STRT zawiera pierwszą stronę trzeciego obszaru WRP dla całej pamięci.

### WRP2 Adresacja obszaru B bajtów opcjonalnych

Adres pamięci Flash: 0x1FFF 7820

Wartość ustawiona przez producenta ST: 0xFF00 FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP2B_END[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP2B_STRT[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w

- Bit 31:23 Zarezerwowane, muszą zachować wartość resetowania.
- Bit 22:16 **WRP2B\_END**: Offset WRP końca drugiego obszaru „B”  
 DBANK=1  
 WRP2B\_END zawiera ostatnią stronę drugiego obszaru WRP w banku 2.  
 DBANK=0  
 WRP2B\_END zawiera ostatnią stronę czwartego obszaru WRP dla całej pamięci.
- Bit 15:7 Zarezerwowane, muszą zachować wartość resetowania.
- Bit 6:0 **WRP2B\_STRT**: Offset WRP startu pierwszego obszaru „B”  
 DBANK=1  
 WRP2B\_STRT zawiera pierwszą stronę drugiego obszaru WRP w banku 2.  
 DBANK=0  
 WRP2B\_STRT zawiera pierwszą stronę drugiego obszaru WRP dla całej pamięci.

### Bezpieczny obszar pamięci bajtów opcjonalnych Bank 2

Adres pamięci Flash: 0x1FFF7828

Wartość ustawiona przez producenta ST: 0xFF00 FF00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEC_SIZE2[7:0]							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:8	Zarezerwowane, muszą zachować wartość resetowania.
Bity 7:0	<b>SEC_SIZE2:</b> Rozmiar obszaru pamięci chronionej, zawiera liczbę stron pamięci chronionej.

### 3.4.2. Programowanie bajtów opcjonalnych

Po zresetowaniu bity związane z opcjami w rejestrze kontrolnym Flash (FLASH\_CR) są chronione przed zapisem. Aby uruchomić dowolną operację na stronie bajtów opcjonalnych, należy wyczyścić bit blokady opcji OPTLOCK w rejestrze kontrolnym Flash (FLASH\_CR). Do odblokowania tego rejestru służy następująca sekwencja:

1. Odblokuj FLASH\_CR sekwencją czyszczenia LOCK.
2. Wpisz OPTKEY1 = 0x08192A3B do rejestru kluczy opcji Flash (FLASH\_OPTKEYR).
3. Wpisz OPTKEY2 = 0x4C5D6E7F do rejestru FLASH\_OPTKEYR.

Opcje użytkownika można zabezpieczyć przed niechcianymi operacjami kasowania / programowania, ustawiając bit OPTLOCK przez program.

*Uwaga: Jeśli LOCK jest ustawiony przez program, OPTLOCK jest również ustawiany automatycznie.*

#### Modyfikowanie przez użytkownika bajtów opcjonalnych

Bajty opcjonalne są programowane inaczej niż adresacja pamięci głównej. Nie ma możliwości niezależnej modyfikacji opcji banku 1 lub banku 2 przez użytkownika. Najpierw modyfikowane są opcje banku 1.

Aby zmodyfikować wartości opcjonalne, wykonaj poniższą procedurę:

1. Sprawdź, czy nie działa żadna operacja w pamięci Flash, sprawdzając bit BSY w rejestrze stanu Flash (FLASH\_SR).
2. Wyczyść bit blokady opcji OPTLOCK sekwencją kasowania opisaną powyżej.
3. Wpisz żądaną wartość do rejestrów bajtów opcjonalnych:
  - Flash option register (FLASH\_OPTR),
  - Flash PCROP1 Start address register (FLASH\_PCROP1SR),
  - Flash PCROP1 End address register (FLASH\_PCROP1ER),
  - Flash WRP area A address register (FLASH\_WRP1AR),
  - Flash WRP area B address register (FLASH\_WRP1BR),
  - Flash PCROP2 Start address register (FLASH\_PCROP2SR),
  - Flash PCROP2 End address register (FLASH\_PCROP2ER),
  - Flash Bank 2 WRP area A address register (FLASH\_WRP2AR),
  - Flash Bank 2 WRP area B address register (FLASH\_WRP2BR).
4. Ustaw bit startowy Opcje OPTSTRT w rejestrze kontrolnym Flash (FLASH\_CR).
5. Poczekaj na usunięcie bitu BSY.

*Uwaga: Każda modyfikacja wartości jednej opcji jest wykonywana automatycznie, najpierw usuwając obie strony bajtów opcji użytkownika (bank 1 i bank 2), a następnie programując wszystkie bajty opcji wartościami zawartymi w rejestrach opcjonalnych Flash.*

#### Ładowanie bajtów opcjonalnych

Po wyczyszczeniu bitu BSY wszystkie nowe opcje są aktualizowane we Flashu, ale nie są wykorzystane w systemie. Mają wpływ na system, dopiero gdy są pobrane. Ładowanie bajtów opcjonalnych (OBL) odbywa się w dwóch przypadkach:

- gdy bit OBL\_LAUNCH jest ustawiony w rejestrze kontrolnym Flash (FLASH\_CR).
- po resecie zasilania (reset BOR lub wyjście z trybu gotowość / wyłączenie).

Moduł ładowania bajtów opcjonalnych wykonuje odczyt bloku opcji i zapisuje dane w wewnętrznych rejestrach opcji. Te wewnętrzne rejestry konfiguruje system i nie mogą być odczytane przez oprogramowanie. Ustawienie OBL\_LAUNCH generuje reset, więc załadowanie bajtu opcjonalnego odbywa się w ramach resetowania systemu.

Każdy bit opcji ma również swoje uzupełnienie w tym samym podwójnym słowie. Podczas ładowania następuje weryfikacja bitu opcji i jego uzupełnienia co pozwala sprawdzić, czy ładowanie odbyło się prawidłowo.

Podczas ładowania bajtu opcjonalnego wartości są odczytywane za pomocą podwójnego słowa z ECC. Jeśli słowo i jego uzupełnienie są zgodne, słowo / bajt opcjonalny jest kopiowane do rejestru opcji.

Jeśli porównanie słowa z jego dopełnieniem nie powiedzie się, ustawiany jest bit statusu OPTVERR.

Wartości niezgodności są wymuszane w rejestrach opcji:

- W przypadku opcji USR OPT wartość niedopasowania to wszystkie opcje na „1”, z wyjątkiem BOR\_LEV, który wynosi „000” (najniższy próg)
- W przypadku opcji WRP wartością niedopasowania jest wartość domyślna „Brak ochrony”
- W przypadku opcji RDP wartością niedopasowania jest wartość domyślna „Poziom 1”
- W przypadku PCROP wartością niedopasowania jest „cała pamięć chroniona”

Podczas resetu systemu wewnętrzne rejestry opcji są kopiowane do rejestrów opcji, które mogą być odczytywane i zapisywane przez oprogramowanie (FLASH\_OPTR, FLASH\_PCROP1 / 2SR, FLASH\_PCROP1 / 2ER, FLASH\_WRP1 / 2AR, FLASH\_WRP1 / 2BR). Rejestry te służą również do modyfikowania opcji. Jeśli te rejestry nie są modyfikowane przez użytkownika, zachowują wartości domyślne opcji systemu.

#### **Aktywacja trybu podwójnego banku (przejście z DBANK = 0 na DBANK = 1)**

Podczas przełączania z jednego trybu Flash na inny (na przykład z pojedynczego do podwójnego banku) zaleca się wykonanie kodu z SRAM lub użycie bootloadera. Aby uniknąć odczytu uszkodzonych danych z pamięci Flash przy zmianie organizacji pamięci, przed przeprogramowaniem należy unikać dostępu do pamięci Flash (przez CPU lub DMA).

- Wyłącz pamięci podręczne instrukcji / danych i / lub zmień ich stan, jeśli są one włączone (zresetuj bity PRFTEN i ICEN / DCEN w rejestrze FLASH\_ACR).
- Opróżnij pamięci podręczne instrukcji i danych, ustawiając bity DCRST / ICRST w rejestrze FLASH\_ACR.
- Ustaw bit opcji DBANK i wyczyść wszystkie zabezpieczenia WRP przed zapisem (postępuj zgodnie z procedurą modyfikacji opcji użytkownika i procedurą ładowania bajtów opcjonalnych).
  - Po zakończeniu OBL z DBANK = 0, wykonaj masowe usuwanie.
  - Rozpocznij nowe programowanie kodu w trybie 64-bitowym z mapowaniem pamięci dla DBANK = 0
  - W razie potrzeby ustaw nowy WRP / PCROP w ustawieniach DBANK = 0.
  - W razie potrzeby ustaw bity PRFTEN i ICEN / DCEN.

Nowe oprogramowanie jest gotowe do uruchomienia po użyciu ustawień banku.

#### **Dezaktywacja trybu podwójnego banku (przejście z DBANK = 1 na DBANK = 0)**

Podczas przełączania z jednego trybu Flash na inny (na przykład z pojedynczego do podwójnego banku) zaleca się wykonanie kodu z SRAM lub użycie bootloadera. Aby uniknąć odczytu uszkodzonych danych z pamięci Flash przy zmianie organizacji pamięci, przed przeprogramowaniem należy unikać dostępu do pamięci Flash (przez CPU lub DMA).

- Wyłącz pamięci podręczne instrukcji / danych i / lub zmień ich stan, jeśli są one włączone (zresetuj bity PRFTEN i ICEN / DCEN w rejestrze FLASH\_ACR).
- Opróżnij pamięci podręczne instrukcji i danych, ustawiając bity DCRST / ICRST w rejestrze FLASH\_ACR.
- Wyczyść bit opcji DBANK i całą ochronę przed zapisem WRP (wykonaj modyfikację opcji użytkownika i procedurę ładowania bajtów opcji).
  - Po zakończeniu OBL z DBANK = 0, wykonaj masowe usuwanie.
  - Rozpocznij nowe programowanie kodu w trybie 128-bitowym z mapowaniem pamięci dla DBANK = 0
  - W razie potrzeby ustaw nowy WRP / PCROP w ustawieniach DBANK = 0. W razie potrzeby ustaw PRFTEN i ICEN / DCEN.



Nowe oprogramowanie jest gotowe do uruchomienia po użyciu ustawień banku.

## 3.5. Ochrona pamięci FLASH

Pamięć główną Flash można zabezpieczyć przed dostępem zewnętrznym dzięki ochronie przed odczytem (RDP). Strony pamięci Flash można również zabezpieczyć przed niepożądanym zapisem z powodu utraty powiązania z licznikiem programowym. Najmniejszy moduł ochrony przed zapisem (WRP) to jedna strona (2 KB). Pamięć Flash można również zabezpieczyć przed odczytem i zapisem przez strony trzecie (PCROP). Najmniejszy moduł ochrony PCROP to podwójne słowo (64-bit).

### 3.5.1. Ochrona przed odczytem (RDP)

Zabezpieczenie odczytu jest aktywowane przez ustawienie bajtu opcji RDP, a następnie przez zresetowanie systemu w celu ponownego załadowania nowego bajtu opcji RDP. Zabezpieczenie odczytu chroni pamięć główną Flash, bajty opcjonalne, rejestry kopii zapasowych (RTC\_BKPxR w RTC) i pamięć SRAM CCM.

*Uwaga: Jeśli ochrona odczytu jest ustawiana, gdy debugger jest nadal podłączony przez JTAG / SWD, zastosuj POR (reset po włączeniu zasilania) zamiast resetu systemu.*

Istnieją trzy poziomy ochrony przed odczytem, od braku ochrony (Poziom 0) do maksymalnej ochrony lub braku debugowania (Poziom 2).

Pamięć Flash jest chroniona, gdy bajt opcji RDP i jej uzupełnienie zawierają parę wartości pokazanych w tabeli poniżej.

Tabela 12 Status ochrony odczytu pamięci Flash

RDP byte value	RDP complement value	Read protection level
0xAA	0x55	Level 0
Any value except 0xAA or 0xCC	Any value (not necessarily complementary) except 0x55 and 0x33	Level 1 (default)
0xCC	0x33	Level 2

Obszar pamięci systemowej jest dostępny do odczytu niezależnie od poziomu ochrony. Nigdy nie jest dostępny dla operacji programowania / kasowania.

#### Poziom 0: brak ochrony

Możliwe są operacje odczytu, programowania i kasowania w głównym obszarze pamięci Flash. Bajty opcjonalne, pamięć CCM SRAM i rejestry kopii zapasowych są również dostępne dla wszystkich operacji.

#### Poziom 1: Ochrona przed odczytem

Jest to domyślny poziom ochrony po usunięciu bajtu opcji RDP. Jest on również definiowany, gdy wartość RDP ma dowolną wartość inną niż 0xAA i 0xCC, a nawet wtedy jeśli dopełnienie nie jest poprawne.

- **Tryb użytkownika:** Kod wykonywany w trybie użytkownika (Boot Flash) może uzyskiwać dostęp do pamięci głównej Flash, bajtów opcji, CCM SRAM i rejestrów kopii zapasowych przy wszystkich operacjach.
- **Tryby debugowania, bootowania pamięci RAM i bootloader:** w trybie debugowania lub gdy kod działa z pamięci rozruchowej RAM lub modułu ładującego rozruch, pamięć główna Flash, rejestry kopii zapasowych (RTC\_BKPxR w RTC) i pamięć CCM SRAM są całkowicie niedostępne. W tych trybach dostęp do odczytu lub zapisu w pamięci Flash generuje błąd magistrali i przerwanie Hard Fault.

**Uwaga:** W przypadku skonfigurowania Poziomu 1 i braku zdefiniowanego obszaru PCROP obowiązkowe jest ustawienie bitu PCROP\_RDP na 1 (pełne skasowanie, gdy poziom RDP zostanie obniżony z poziomu 1 do poziomu

0). W przypadku skonfigurowania Poziomu 1 i zdefiniowania obszaru PCROP, jeśli kod użytkownika musi być chroniony przez RDP, ale nie przez PCROP, nie wolno go umieszczać na stronie zawierającej obszar PCROP.

### Poziom 2: Brak debugowania

Na tym poziomie gwarantowany jest poziom ochrony 1. Dodatkowo port debugowania Cortex®-M4, rozruch z pamięci RAM (rozruchowy tryb RAM) i rozruch z pamięci systemowej (tryb ładowania rozruchowego) nie są już dostępne. W trybie wykonywania użytkownika (rozruchowy tryb FLASH) wszystkie operacje są dozwolone w głównej pamięci Flash. Przeciwnie - na bajtach opcjonalnych można wykonywać tylko operacje odczytu.

Bajtów opcji nie można ani oprogramować ani usuwać. Zatem dla poziomu 2 ich stan jest nieodwracalny. Podczas próby modyfikacji bajtów opcjonalnych w rejestrze Flash\_SR ustawiona jest flaga błędu ochrony WRPERR i można wygenerować przerwanie.

*Uwaga: Funkcja debugowania jest również wyłączona podczas resetowania.*

*STMicroelectronics nie jest w stanie przeprowadzić analizy wadliwych obszarów, dla których ustawiono Poziom ochrony 2.*

### Zmiana poziomu ochrony przez odczytem

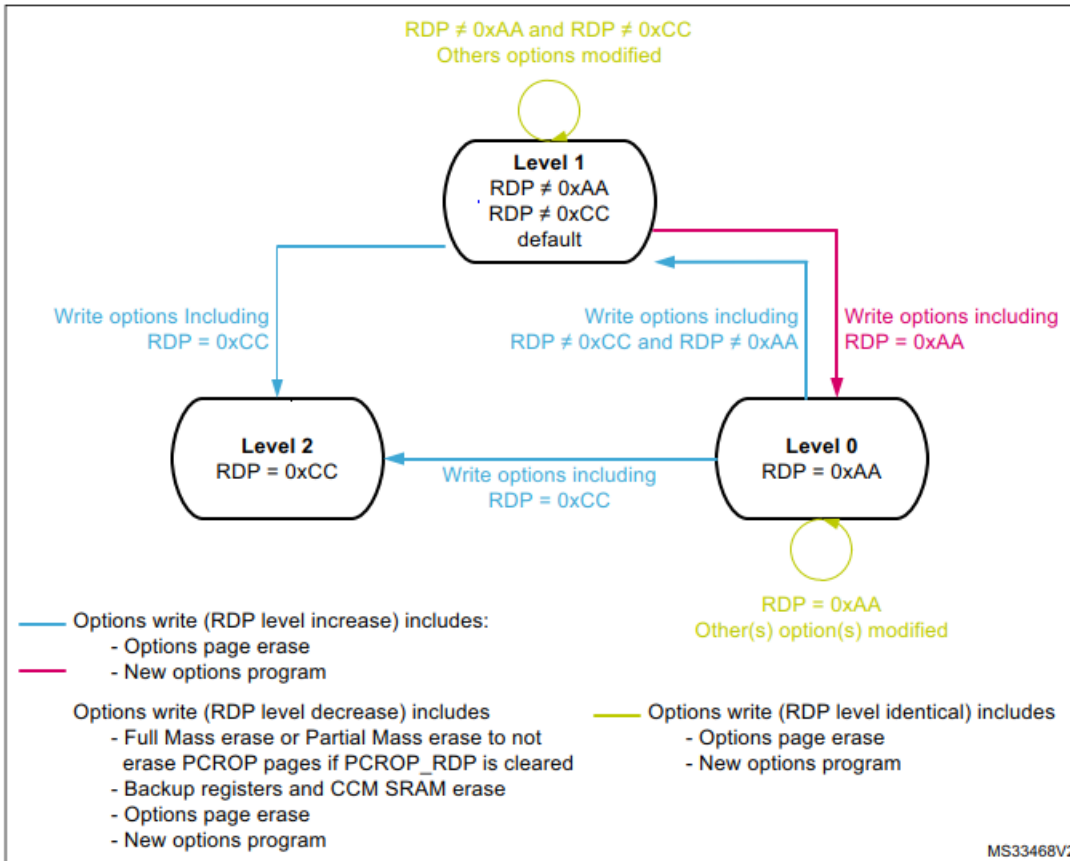
Łatwo jest przejść z Poziomu 0 na Poziom 1 ochrony, zmieniając wartość bajtu RDP na dowolną wartość (z wyjątkiem 0xCC). Programując wartość 0xCC w bajcie RDP, możliwe jest przejście do Poziomu 2 bezpośrednio z Poziomu 0 lub z Poziomu 1. Po wejściu na Poziom 2 nie jest już możliwe modyfikowanie poziomu ochrony przez odczytem.

Po przeprogramowaniu RDP na wartość 0xAA w celu przejścia z Poziomu 1 na Poziom 0, masowe wymazywanie pamięci głównej Flash jest wykonywane, jeśli PCROP\_RDP jest ustawiony w rejestrze adresu końcowego PCROP1 Flash (FLASH\_PCROP1ER). Rejestry kopii (RTC\_BKPxR w RTC) i pamięć SRAM CCM również są usuwane. Opcje użytkownika oprócz ochrony PCROP są ustawione na ich poprzednie wartości skopiowane z FLASH\_OPTR, FLASH\_WRPxyR (x = 1, 2 i y = A lub B). PCROP jest wyłączony. Kasowanie masowe nie ma wpływu na obszar OTP i pozostaje on niezmienny.

Jeśli bit PCROP\_RDP zostanie wyczyszczony we FLASH\_PCROP1ER, pełne kasowanie masowe jest zastępowane przez częściowe kasowanie masowe, czyli kolejne wymazywanie stron w banku, w którym działa PCROP, z wyjątkiem stron chronionych przez PCROP. Odbywa się to w celu zachowania kodu PCROP. Jeśli PCROP jest aktywny dla obu banków, oba banki są kasowane przez usuwanie stron.

Tylko po usunięciu obu banków opcje są ponownie oprogramowane z ich poprzednimi wartościami. Dotyczy to również rejestrów FLASH\_PCROPxSR i FLASH\_PCROPxER (x = 1,2).

*Uwaga: Pełne lub częściowe kasowanie masowe jest wykonywane tylko wtedy, gdy aktywny jest Poziom 1 i żądany jest Poziom 0. Gdy poziom ochrony jest zwiększony (0->1, 1->2, 0->2), nie następuje kasowanie masowe. Aby sprawdzić poprawność zmiany poziomu ochrony, bajty opcjonalne muszą zostać ponownie załadowane przez bit OBL\_LAUNCH w rejestrze kontrolnym Flash.*



Rysunek 4 Zmiana poziomu ochrony przed odczytem

Tabela 13 Status dostępu a poziom ochrony i tryby wykonywania

Area	Protection level	User execution (BootFromFlash)			Debug/ BootFromRam/ BootFromLoader <sup>(1)</sup>		
		Read	Write	Erase	Read	Write	Erase
Flash main memory	1	Yes	Yes	Yes	No	No	No <sup>(3)</sup>
	2	Yes	Yes	Yes	N/A	N/A	N/A
System memory <sup>(2)</sup>	1	Yes	No	No	Yes	No	No
	2	Yes	No	No	N/A	N/A	N/A
Option bytes	1	Yes	Yes <sup>(3)</sup>	Yes	Yes	Yes <sup>(3)</sup>	Yes
	2	Yes	No	No	N/A	N/A	N/A

Area	Protection level	User execution (BootFromFlash)			Debug/ BootFromRam/ BootFromLoader <sup>(1)</sup>		
		Read	Write	Erase	Read	Write	Erase
OTP	1	Yes	Yes <sup>(4)</sup>	N/A	No	No	N/A
	2	Yes	Yes <sup>(4)</sup>	N/A	N/A	N/A	N/A
Backup registers	1	Yes	Yes	N/A	No	No	No <sup>(5)</sup>
	2	Yes	Yes	N/A	N/A	N/A	N/A
CCM SRAM	1	Yes	Yes	N/A	No	No	No <sup>(6)</sup>
	2	Yes	Yes	N/A	N/A	N/A	N/A

Adnotacje:

1. Gdy poziom ochrony 2 jest aktywny, port debugowania, rozruch z pamięci RAM i rozruch z pamięci systemowej są wyłączone.
2. Pamięć systemowa jest dostępna tylko do odczytu, niezależnie od poziomu ochrony (0, 1 lub 2) i trybu wykonywania.
3. Główna pamięć Flash jest kasowana, gdy bajt opcji RDP jest zaprogramowany z nie dołączonymi wszystkimi zabezpieczeniami poziomu (0xAA).
4. OTP można zapisać tylko raz.
5. Rejestry zapasowe są usuwane, gdy RDP zmienia się z poziomu 1 na poziom 0.
6. SRAM CCM jest usuwany, gdy RDP zmienia się z poziomu 1 na poziom 0.

### 3.5.2. Własna ochrona odczytu kodu (PCROP)

Pamięć Flash można zabezpieczyć przed dodatkowo odczytem i zapisem stron trzecich. Obszar chroniony jest tylko wykonywalny: może być dostępny tylko dla STM32 CPU, jako kod instrukcji, podczas gdy wszystkie inne dostępy (DMA, debugowanie i odczyt danych procesora, zapisywanie i usuwanie) są surowo zabronione. W zależności od trybu DBANK można albo określić jedną strefę PCROP na bank w trybie podwójnego banku, albo określić dwie strefy PCROP dla całej pamięci. Dodatkowy bit opcji (PCROP\_RDP) pozwala wybrać, czy obszar PCROP ma zostać usunięty lub nie po zmianie poziomu ochrony RDP z Poziomu 1 na Poziom 0.

Każdy obszar PCROP jest zdefiniowany przez offset strony początkowej i strony końcowej związanym z fizycznym adresem bazowym banku Flash. Offsety te są zdefiniowane w adresach rejestrów PCROP:

- Flash PCROP1 Rejestr adresu początkowego (FLASH\_PCROP1SR),
- Flash PCROP1 Rejestr adresu końcowego (FLASH\_PCROP1ER),
- Flash PCROP2 Rejestr adresu początkowego (FLASH\_PCROP2SR),
- Flash PCROP2 Rejestr adresu końcowego (FLASH\_PCROP2ER).

#### W trybie pojedynczego banku (DBANK = 0):

- Obszar PCROP<sub>x</sub> (x = 1,2) jest definiowany:
    - od adresu: adres bazowy + [PCROP<sub>x</sub>\_STRT x 16] (dołączony)
    - do adresu: adres bazowy + [(PCROP<sub>x</sub>\_END + 1) x 16] (nie dołączony).
- Minimalny rozmiar obszaru PCROP to dwa 2 x podwójne słowa (256 bitów)

#### W trybie podwójnego banku (DBANK = 1)

- Obszar PCROP<sub>x</sub> (x = 1,2) jest definiowany:
    - od adresu: adres podstawowy banku „x” + [PCROP<sub>x</sub>\_STRT x 0x8] (dołączony)
    - do adresu: adres podstawowy banku „x” + [(PCROP<sub>x</sub>\_END + 1) x 0x8] (nie dołączony).
- Minimalna wielkość obszaru PCROP to dwa podwójne słowa (128 bitów).

**Na przykład**, aby chronić przez PCROP zakres adresów: 0x0806 2F80 (dołączony) do 0x0807 0004 (nie dołączony):

- jeśli rozruch w pamięci Flash odbywa się w banku 1, w rejestrach FLASH\_PCROP1SR i FLASH\_PCROP1ER należy zaprogramować:

- PCROP1\_STRT = 0xC5F0.
- PCROP1\_END = 0xE000.
- Gdy dwa banki są stosowane zamiennie ochrona musi obowiązywać dla banku 2, a rejestr FLASH\_PCROP2SR i FLASH\_PCROP2ER musi być zaprogramowany za pomocą:
  - PCROP2\_STRT = 0xC5F0.
  - PCROP2\_END = 0xE000.

Każdy dostęp do odczytu wykonywany przez magistralę D-bus do obszaru chronionego przez PCROP powoduje flagę błędu RDERR.

Każdy adres chroniony przez PCROP jest również chroniony przed zapisem, a każdy dostęp do zapisu do jednego z tych adresów wywołuje błąd WRPERR.

Każdy obszar chroniony przez PCROP jest również chroniony przed usunięciem. W związku z tym jakiegokolwiek usunięcie strony w tej strefie jest niemożliwe (w tym strony zawierającej adres początkowy i końcowy tej strefy). Co więcej, programowego kasowania masowego nie można wykonać, jeśli jedna strefa jest chroniona przez PCROP.

W przykładzie powyżej, w kwestii kasowania strony, wszystkie strony od strony 0x62 do 0x70 są chronione przed skasowaniem. (Nie można usunąć żadnych adresów od 0x0806 2000 do 0x080 70FFF).

Dezaktywacja PCROP może nastąpić tylko wtedy, gdy RDP zmienia się z Poziomu 1 na Poziom 0. Jeśli modyfikacja opcji użytkownika próbuje wyczyścić PCROP lub zmniejszyć obszar PCROP, to programowanie jest uruchamiane, ale obszar PCROP pozostaje niezmieniony. W drugą stronę, możliwe jest zwiększenie obszaru PCROP.

Gdy bit opcji PCROP\_RDP jest wyczyszczony, gdy RDP zmienia się z Poziomu 1 na Poziom 0, pełne kasowanie masowe jest zastępowane przez częściowe kasowanie masowe, aby zachować obszar PCROP. W takim przypadku PCROP1 / 2\_STRT i PCROP1 / 2\_END również nie są usuwane.

Uwaga: Zaleca się zrównać obszar PCROP z wielkością strony podczas korzystania z PCROP\_RDP lub pozostawić wolną resztę strony, na której zaczyna się lub kończy strefa PCROP.

Tabela 14 Ochrona PCROP <sup>(1)</sup>

PCROPx registers values (x = 1,2)	PCROP protection area
PCROPx_offset_strt > PCROPx_offset_end	No PCROP area.
PCROPx_offset_strt < PCROPx_offset_end	The area between PCROPx_offset_strt and PCROPx_offset_end is protected. it is possible to write: – PCROPx_offset_strt with a lower value – PCROPx_offset_end with a higher value.

- (1) Gdy DBANK = 1, minimalny rozmiar obszaru PCROP wynosi 2x podwójne słowa: PCROPx\_offset\_strt i PCROPx\_offset\_end.  
Gdy DBANK = 0, minimalny rozmiar obszaru PCROP wynosi 2x (2x podwójne słowa): PCROPx\_offset\_strt i PCROPx\_offset\_end.  
Gdy DBANK = 1, obowiązkiem użytkownika jest dopilnowanie, aby nie dochodziło do nakładania się na stref PCROP.

### 3.5.3. Ochrona przed zapisem (WRP)

Obszar użytkownika w pamięci Flash można zabezpieczyć przed niepożądanymi operacjami zapisu.

W zależności od konfiguracji bitu opcji DBANK możliwe są ustawienia:

- W trybie pojedynczego banku (DBANK = 0): w każdym banku można zdefiniować cztery obszary chronione przed zapisem (WRP), każdy o wielkości strony (4 KB).
- W trybie podwójnego banku (DBANK = 1): w każdym banku można zdefiniować dwa obszary chronione przed zapisem (WRP), każdy o wielkości strony (2 KB).

Każdy obszar jest zdefiniowany przez przesunięcie offsetu strony początkowej i strony końcowej związane z fizycznym adresem bazowym banku Flash.

Przesunięcia te są zdefiniowane w rejestrach adresów WRP:

Rejestr adresów Flash WRP obszaru A (FLASH\_WRP1AR),  
 Rejestr adresów Flash WRP obszaru B (FLASH\_WRP1BR),  
 Rejestr adresów Flash Area 2 WRP A (FLASH\_WRP2AR),  
 Rejestr adresów Flash Bank 2 WRP obszaru B (FLASH\_WRP2BR).

### Tryb podwójnego banku (DBANK = 1)

Obszar banku „x” WRP „y” (x = 1,2 i y = A, B) jest definiowany

od adresu: Bank „x” Adres bazowy + [WRPxy\_STRT x 0 x 800] (dołączony)  
 do adresu: Bank „x” Adres bazowy + [(WRPxy\_END + 1) x 0 x 800] (nie dołączony).

### Tryb pojedynczego banku (DBANK = 0)

Obszar „y” WRPx (x = 1,2 i y = A, B) jest definiowany

od adresu: adres podstawowy + [WRPy\_STRT x 0 x 1000] (dołączony)  
 do adresu: adres podstawowy + [(WRPy\_END + 1) x 0 x 1000] (nie dołączony).

**Na przykład**, aby chronić WRP od adresu 0x0806 2800 do adresu 0x0807 07FF trzeba:

- jeśli rozruch w pamięci Flash odbywa się w banku 1, rejestr FLASH\_WRP1AR musi zostać zaprogramowany przy pomocy:
  - WRP1A\_STRT = 0x62.
  - WRP1A\_END = 0x70.
 Zamiast tego można użyć WRP1B\_STRT i WRP1B\_END w FLASH\_WRP1BR (obszar „B” w banku 1).
- W przypadku zamiany dwóch banków ochrona musi obowiązywać dla banku 2, a rejestr FLASH\_WRP2AR musi zostać zaprogramowany za pomocą:
  - WRP2A\_STRT = 0x62.
  - WRP2A\_END = 0x70.
  - WRP2A\_STRT = 0xC5.
  - WRP2A\_END = 0xE0.
 Zamiast tego można użyć WRP2B\_STRT i WRP2B\_END w FLASH\_WRP2BR (obszar „B” w banku 2).

Gdy WRP jest aktywne, nie można go usunąć ani zaprogramować. W konsekwencji programowego kasowania danych nie można wykonać, jeśli choćby jeden obszar jest chroniony przed zapisem.

W przypadku próby wykonania operacji kasowania / programowania w części pamięci Flash chronionej przed zapisem flaga rejestru zabezpieczenia przed zapisem (WRPERR) zostanie ustawiona w rejestrze FLASH\_SR. Ta flaga jest również ustawiona na brak możliwości zapisu w:

- obszarze OTP
- części pamięci Flash, której nigdy nie da się zapisać jak ICP
- obszarze PCROP.

#### Uwagi:

1. Po wybraniu poziomu ochrony odczytu pamięci (poziom RDP = 1) nie jest możliwe programowanie ani usuwanie pamięci Flash, jeśli podłączone są funkcje debugowania CPU (JTAG lub pojedynczy przewód), lub kod rozruchowy jest wykonywany z pamięci RAM lub Flasha systemowego, nawet jeśli WRP nie jest aktywowany.
2. Aby sprawdzić poprawność opcji WRP, bajty opcjonalne muszą zostać ponownie załadowane przez bit OBL\_LAUNCH w rejestrze kontrolnym Flash.
3. Gdy DBANK = 0, obowiązkiem użytkownika jest dopilnowanie, aby nie dochodziło do nakładania się adresacji w strefie WRP.

Tabela 15 Ochrona WRP

WRP registers values (x=1/2 y= A/B)	WRP protection area
WRPxy_STRT = WRPxy_END	Page WRPxy is protected.
WRPxy_STRT > WRPxy_END	No WRP area.
WRPxy_STRT < WRPxy_END	The pages from WRPxy_STRT to WRPxy_END are protected.

### 3.5.4. Obszar pamięci chronionej

Obszar pamięci chronionej określa obszar kodu, który można wykonać tylko raz podczas rozruchu i nigdy więcej, chyba że nastąpi nowy reset.

Głównym celem obszaru pamięci Securable jest ochrona określonej części pamięci Flash przed niepożądanym dostępem. Umożliwia to wdrożenie usług bezpieczeństwa oprogramowania, takich jak bezpieczne przechowywanie kluczy lub bezpieczny rozruch. Obszar pamięci bezpiecznej znajduje się w głównej pamięci Flash. Jest przeznaczony do wykonywania zaufanego kodu. Gdy nie jest zabezpieczona, pamięć chroniona zachowuje się jak pozostała część głównej pamięci Flash. Po zabezpieczeniu (bit SEC\_PROT1 lub SEC\_PROT2) zestawu rejestrów FLASH\_CR każda próba zaprogramowania lub kasowania w chronionym obszarze pamięci generuje błąd ochrony przed zapisem (ustawiona jest flaga WRPERR), a każda próba odczytu z niej generuje błąd odczytu (Ustawiona jest flaga RDERR).

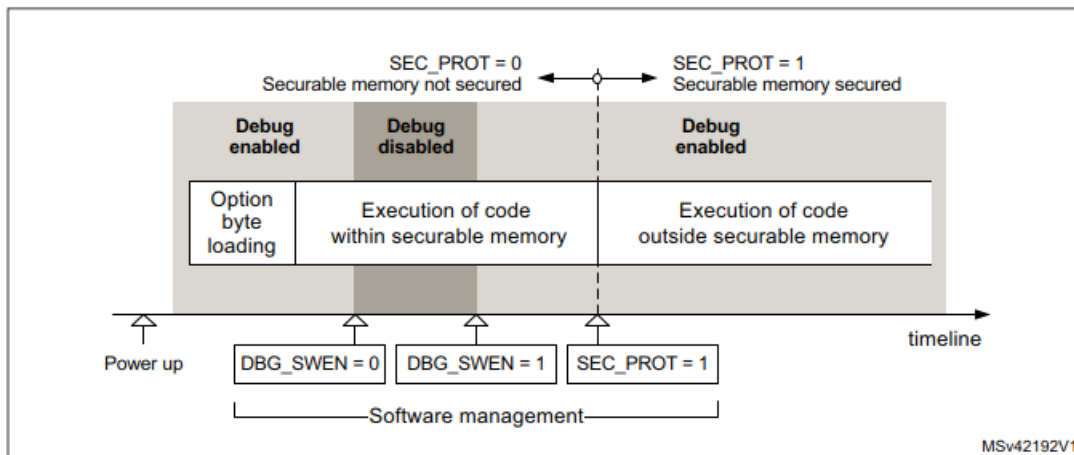
Rozmiar zabezpieczanego obszaru pamięci jest określony przez pole bitowe SEC\_SIZE1 [7: 0] lub SEC\_SIZE2 [7: 0] rejestru FLASH\_SEC1R lub FLASH\_SEC2R. Można go modyfikować tylko na poziomie RDP 0. Jego zawartość jest usuwana po zmianie z Poziomu 1 RDP na Poziom 0, nawet jeśli rozmiar ten pokrywa się ze stronami PCROP.

### 3.5.5. Wyłączenie podstawowego dostępu do debugowania

W celu wykonania poufnego kodu lub manipulowania wrażliwymi danymi w obszarze pamięci chronionej dostęp do podstawowego debugowania można tymczasowo wyłączyć.

Na poziomie RDP 2 debugger jest wyłączany sprzętowo, ale na innych poziomach RDP debugger może być wyłączany programowo za pomocą bitu DBG\_SWEN w rejestrze FLASH\_ACR.

Rysunek poniżej podaje przykład zarządzania bitami DBG\_SWEN i SEC\_PROT.



Rysunek 5 Przykład wyłączenia podstawowego dostępu do debugowania



### 3.5.6. Wymuszanie rozruchu z pamięci Flash

Aby zwiększyć bezpieczeństwo i ustanowić łańcuch zaufania, bit opcji BOOT\_LOCK rejestru FLASH\_SEC1R / FLASH\_SEC2R pozwala na wymuszenie rozruchu systemu z pamięci głównej Flash, niezależnie od innych opcji uruchamiania. Zawsze można ustawić bit BOOT\_LOCK. Ale można go jednak zresetować tylko wtedy, gdy:

- RDP jest ustawiony na Poziom 0 lub
- RDP jest ustawiony na Poziom 1, podczas gdy wymagany jest Poziom 0 i wykonywane jest pełne kasowanie.

## 3.6. Przerwania FLASH

Tabela 16 Żądania przerwania w pamięci Flash

Interrupt event	Event flag	Event flag/interrupt clearing method	Interrupt enable control bit
End of operation	EOP <sup>(1)</sup>	Write EOP=1	EOPIE
Operation error	OPERR <sup>(2)</sup>	Write OPERR=1	ERRIE
Read error	RDERR	Write RDERR=1	RDERRIE
ECC correction	ECCC	Write ECCC=1	ECCIE

Adnotacje

1. EOP jest ustawiany tylko wtedy, gdy jest ustawiony EOPIE.
2. OPERR jest ustawiany tylko wtedy, gdy ustawiony jest ERRIE.

## 3.7. Rejestry FLASH

### 3.7.1. Rejestr kontroli dostępu do pamięci flash (FLASH\_ACR)

Przesunięcie adresu: 0x00

Wartość resetowania: 0x0000 0600

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_SWEN	Res.	Res.
													r/w		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SLEEP_PD	RUN_PD	DCRST	ICRST	DCEN	ICEN	PRFTEN	Res.	Res.	Res.	Res.	LATENCY[3:0]			
	r/w	r/w	r/w	r/w	r/w	r/w	r/w					r/w	r/w	r/w	r/w

Bity 31:19 Zarezerwowane, muszą zachować wartości resetowania.

Bit 18 **DBG\_SWEN**: Włącza oprogramowanie do debugowania  
SW może użyć tego bitu do włączenia / wyłączenia debuggera.

0: Debugger wyłączony

1: Debugger włączony

Bity 17:15 Zarezerwowane, muszą zachować wartości resetowania.

Bit 14 **SLEEP\_PD**: Tryb wyłączenia Flasha w trybie uśpienia lub niskiego poboru mocy

Ten bit określa, czy pamięć Flash znajduje się w trybie wyłączonym, czy w trybie bezczynności, gdy urządzenie znajduje się w trybie uśpienia lub w trybie niskiego zużycia energii.

- 0: Flash w trybie czuwania podczas trybów uśpienia i niskiego poboru mocy
- 1: Flash w trybie wyłączania podczas trybów uśpienia i niskiego zużycia energii

Uwaga: Flasha nie wolno wyłączać, gdy trwa programowanie lub operacja kasowania.

Bit 13      **RUN\_PD**: Tryb wyłączania Flasha w trybie pracy lub w trybie pracy przy niskim zużyciu energii

Ten bit jest chroniony przed zapisem za pomocą FLASH\_PDKEYR.

Ten bit określa, czy pamięć Flash znajduje się w trybie wyłączenia, czy w trybie bezczynności, gdy urządzenie znajduje się w trybie pracy, czy w trybie niskiego zużycia energii. Pamięć Flash można przełączyć w tryb wyłączenia tylko wtedy, gdy kod jest wykonywany z pamięci RAM. Flash nie może być dostępny, gdy ustawiony jest RUN\_PD.

- 0: Flash w trybie czuwania
- 1: Flash w trybie wyłączania

Uwaga: Flasha nie wolno wyłączać, gdy trwa programowanie lub operacja kasowania.

Bit 12      **DCRST**: Reset pamięci podręcznej danych

- 0: Pamięć podręczna danych nie jest zresetowana
- 1: Pamięć podręczna danych jest zresetowana

Ten bit można zapisać tylko wtedy, gdy bufor danych jest wyłączony.

Bit 11      **ICRST**: Resetowanie pamięci podręcznej instrukcji

- 0: Pamięć podręczna instrukcji nie jest zresetowana
- 1: Pamięć podręczna instrukcji została zresetowana

Ten bit można zapisać tylko wtedy, gdy pamięć podręczna instrukcji jest wyłączona.

Bit 10      **DCEN**: Włączanie pamięci podręcznej danych

- 0: pamięć podręczna danych jest wyłączona
- 1: Pamięć podręczna danych jest włączona

Bit 9        **ICEN**: Włączenie pamięci podręcznej instrukcji

- 0: Pamięć podręczna instrukcji jest wyłączona
- 1: Pamięć podręczna instrukcji jest włączona

Bit 8        **PRFTEN**: Włączenie pobierania wstępnego

- 0: Wyłączone pobieranie wstępne
- 1: Włączone pobieranie wstępne

Bity 7: 4      Zarezerwowane, muszą być utrzymywane na wartości resetowania.

Bity 3:0      **LATENCY** [3: 0]: Opóźnienie

Te bity reprezentują stosunek okresu SYSCLK (zegar systemowy) do czasu dostępu do pamięci Flash.

- 0000: Zero stanu oczekiwania
- 0001: Jeden stan oczekiwania
- 0010: Dwa stany oczekiwania

0011: Trzy stany oczekiwania  
 0100: Cztery stany oczekiwania  
 ... 1111: Piętnaście stanów oczekiwania

### 3.7.2. Rejestr kluczy wyłączenia pamięci Flash (FLASH\_PDKEYR)

Przesunięcie adresu: 0x04

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PDKEYR[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PDKEYR[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit 31: 0      **PDKEYR:** Wyłączenie zasilania w trybie Run Klawisz Flash

Aby odblokować bit RUN\_PD w FLASH\_ACR, należy zapisać następujące wartości:

PDKEY1: 0x0415 2637

PDKEY2: 0xFAFB FCFD

### 3.7.3. Rejestr kluczy pamięci Flash (FLASH\_KEYR)

Przesunięcie adresu: 0x08

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEYR[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEYR[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit 31: 0      **KEYR:** Klawisz Flash

Następujące wartości należy zapisać kolejno, aby odblokować rejestr FLASH\_CR, umożliwiając operacje programowania / kasowania Flash:

KEY1: 0x4567 0123

KEY2: 0xCDEF 89AB

### 3.7.4. Rejestr kluczy opcjonalnych pamięci Flash (FLASH\_OPTKEYR)

Przesunięcie adresu: 0x0C

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPTKEYR[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTKEYR[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bity 31: 0      **OPTKEYR:** Klucz bajtów opcjonalnych

Następujące wartości muszą być zapisane kolejno, aby odblokować rejestr FLASH\_OPTR, umożliwiając programowanie / kasowanie bajtów opcjonalnych:

KEY1: 0x0819 2A3B

KEY2: 0x4C5D 6E7F

### 3.7.5. Rejestr stanu pamięci Flash (FLASH\_SR)

Przesunięcie adresu: 0x10

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	BSY
															r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTV ERR	RD ERR	Res	Res	Res	Res	FAST ERR	MISS ERR	PGS ERR	SIZ ERR	PGA ERR	WRP ERR	PROG ERR	Res	OP ERR	EOP
rc_w1	rc_w1					rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1		rc_w1	rc_w1

Bity 31:17      Zarezerwowane, muszą zachować wartości resetowania.

Bit 16            **BSY:** Zajęty

Oznacza to, że trwa operacja na pamięci Flash. Jest ustawiany na początku operacji na pamięci Flash i resetowany po zakończeniu operacji lub wystąpieniu błędu.

Bit 15            **OPTVERR:** Błąd ważności opcji

Ustawiany sprzętowo, gdy odczytane opcje mogą nie być tymi skonfigurowanymi przez użytkownika. Jeśli opcja nie została poprawnie załadowana, OPTVERR jest ustawiany ponownie po każdym resecie systemu.

Oczyszczanie przez nadpisanie 1.

Bit 14            **RDERR:** Błąd odczytu PCROP

Ustawiany sprzętowo, gdy adres do odczytu przez magistralę D-bus należy do chronionego przed odczytem obszaru pamięci Flash (ochrona PCROP). Przerwanie jest generowane, jeśli RDERRIE jest ustawione w FLASH\_CR.

Oczyszczanie przez nadpisanie 1.

Bity 13:10      Zarezerwowane, muszą zachować wartości resetowania.

Bit 9             **FASTERR:** Błąd szybkiego programowania

Ustawiany sprzętowo, gdy szybka sekwencja programowania (aktywowana przez FSTPG) jest przerywana z powodu błędu (wyrównanie, rozmiar, ochrona przed zapisem lub brak danych). Adekwatny bit statusu (PGAERR, SIZERR, WRPERR lub MISSERR) jest ustawiany jednocześnie.

- Oczyszczanie przez nadpisanie 1.
- Bit 8      **MISERR:** Błąd braku danych szybkiego programowania
- W trybie szybkiego programowania, 32 podwójne słowa muszą być wysyłane kolejno do pamięci, a nowe dane muszą być wysyłane do kontrolera logicznego pamięci zanim bieżące dane zostaną w pełni zaprogramowane. MISERR jest ustawiany sprzętowo, gdy nowe dane nie są obecne na czas.
- Oczyszczanie przez nadpisanie 1.
- Bit 7      **PGSERR:** Błąd sekwencji programowania
- Ustawiany sprzętowo, gdy kod ma dostęp do zapisu w pamięci Flash, podczas gdy PG lub FSTPG nie zostały wcześniej ustawione. Ustawiany jest również sprzętowo, gdy którykolwiek z PROGERR, SIZERR, PGAERR, WRPERR, MISERR lub FASTERR jest ustawiony z powodu poprzedniego błędu programowania.
- Ustawiany także przy próbie wykonania kasowania banku, gdy DBANK = 0.
- Oczyszczanie przez nadpisanie 1.
- Bit 6      **SIZERR:** Błąd rozmiaru
- Ustawiany sprzętowo, gdy rozmiar dostępu podczas programowania lub szybkiego programowania jest wielkości to bajtu lub pół słowa. Dozwolone jest tylko programowanie podwójnym słowem (dostęp słowny).
- Oczyszczanie przez nadpisanie 1.
- Bit 5      **PGAERR:** Błąd programowania wyrównania
- Ustawiany sprzętowo, gdy dane do zaprogramowania nie mogą być zawarte w tym samym 64-bitowym wierszu pamięci Flash w przypadku standardowego programowania lub jeśli nastąpi zmiana strony podczas szybkiego programowania.
- Oczyszczanie przez nadpisanie 1.
- Bit 4      **WRPERR:** Błąd ochrony zapisu
- Ustawiany sprzętowo, gdy adres, który ma zostać skasowany / zaprogramowany, należy do części chronionej przed zapisem pamięci Flash (przez WRP, PCROP lub RDP Poziom 1).
- Oczyszczanie przez nadpisanie 1.
- Bit 3      **PROGERR:** Błąd programowania
- Ustawiany sprzętowo, gdy programowany adres podwójnego słowa zawiera wartość inną niż „0xFFFF FFFF” przed programowaniem, z wyjątkiem sytuacji, gdy dane do zapisu to „0x0000 0000”.
- Oczyszczanie przez nadpisanie 1.
- Bit 2      Zarezerwowany, musi zachować wartość resetowania.
- Bit 1      **OPERR:** Błąd operacji
- Ustawiany sprzętowo, gdy operacja na pamięci Flash (program / kasowanie) zakończy się niepowodzeniem.
- Ten bit jest ustawiany tylko wtedy, gdy włączone są przerwania błędów (ERRIE = 1).
- Oczyszczanie przez nadpisanie „1”.

- Bit 0 EOP:** Koniec operacji
- Ustawiany sprzętowo, gdy co najmniej jedna operacja na pamięci Flash (programowanie / kasowanie) zakończyła się pomyślnie.
- Ten bit jest ustawiany tylko wtedy, gdy włączone są przerwania końca operacji (EOPIE = 1).
- Oczyszczanie przez nadpisanie 1.

### 3.7.6. Rejestr Kontrolny pamięci Flash (FLASH\_CR)

Przesunięcie adresu: 0x14

Wartość resetowania: 0xC000 0000

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja na pamięci Flash, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	OPT LOCK	SEC_PROT2	SEC_PROT1	OBL_LAUNCH	RD_ERRIE	ERR_IE	EOP_IE	Res.	Res.	Res.	Res.	Res.	FSTPG	OPT_STRT	STRT
rs	rs	rs	rs	rc_w1	rw	rw	rw						rw	rs	rs
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MER2	Res.	Res.	Res.	BKER	Res.	PNB[6:0]						MER1	PER	PG	
rw				rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

- Bit 31 LOCK:** Blokada FLASH\_CR
- Ten bit ma tylko dwa stany: ustawiony lub nie. Po ustawieniu rejestr FLASH\_CR jest zablokowany. Jest usuwany przez sprzęt po wykryciu sekwencji odblokowania.
- W przypadku nieudanej operacji odblokowania ten bit pozostaje ustawiony do następnego resetu systemu.
- Bit 30 OPTLOCK:** Blokada opcji
- Ten ma tylko dwa stany: ustawiony lub nie. Po ustawieniu wszystkie bity dotyczące opcji użytkownika w rejestrze FLASH\_CR, a więc strona opcji są zablokowane. Ten bit jest usuwany przez sprzęt po wykryciu sekwencji odblokowania. Bit LOCK musi zostać wyczyszczony przed wykonaniem sekwencji odblokowania dla bitu OPTLOCK.
- W przypadku nieudanej operacji odblokowania ten bit pozostaje ustawiony do następnego resetu.
- Bit 29 SEC\_PROT2:** Bit ochrony zabezpieczonego obszaru pamięci dla banku 2.
- Ten bit jest ustawiony tak, aby blokować dostęp do obszaru zabezpieczonego w banku 2. Jest ustawiany przez oprogramowanie przy wychodzeniu z obszaru Zabezpieczonego i można go zapisać tylko raz. W przypadku, gdy DBANK = 0, ten bit jest bezużyteczny.
- Bit 28 SEC\_PROT1:** Bit ochrony zabezpieczonego obszaru pamięci dla banku 1.
- Ten bit jest ustawiony, aby zablokować dostęp do obszaru pamięci Securable dla banku 1 (lub gdy DBANK = 0). Jest ustawiany przez oprogramowanie przy wychodzeniu z obszaru zabezpieczonego i można go zapisać tylko raz.
- Bit 27 OBL\_LAUNCH:** Wymuszanie ładowanie bajtu opcjonalnego
- Po ustawieniu na 1 ten bit wymusza ponowne załadowanie bajtu opcjonalnego. Ten bit jest kasowany tylko po całkowitym zakończeniu ładowania. Nie można go zapisać, jeśli ustawiono OPTLOCK.

	0: Ładowanie bajtu o opcjonalnego zakończone 1: Żądanie załadowania bajtu opcjonalnego
Bit 26	<b>RDERRIE:</b> Włączanie przerwania błędu odczytu PCROP  Ten bit umożliwia generowanie przerwania, gdy bit RDERR we FLASH_SR jest ustawiony na 1.  0: Wyłączono przerwanie błędu odczytu PCROP 1: Włączono przerwanie błędu odczytu PCROP
Bit 25	<b>ERRIE:</b> Włączenie przerwania po błędzie  Ten bit umożliwia generowanie przerwania, gdy bit OPERR we FLASH_SR jest ustawiony na 1.  0: OPERR przerwanie gdy błąd wyłączone 1: OPERR przerwanie gdy błąd włączone
Bit 24	<b>EOPIE:</b> Włączenie przerwania zakończenia operacji  Ten bit umożliwia generowanie przerwania, gdy bit EOP we FLASH_SR jest ustawiony na 1.  0: EOP przerwanie wyłączone 1: EOP przerwanie włączone
Bity 23:19	Zarezerwowane, muszą zachować wartość resetowania
Bit 18	<b>FSTPG:</b> Szybkie programowanie  0: Szybkie programowanie wyłączone 1: Szybkie programowanie włączone
Bit 17	<b>OPTSTRT:</b> Rozpoczęcie modyfikacji opcji  Po ustawieniu ten bit zezwala na operacje opcjonalne.  Ten bit jest ustawiany tylko przez oprogramowanie i jest usuwany, gdy bit BSY jest usuwany w FLASH_SR.
Bit 16	<b>START:</b> Start  Ten bit po ustawieniu zezwala operację kasowania. Jeśli bity MER1, MER2 i PER są zresetowane a bit STRT jest ustawiony to może wystąpić nieprzewidziane zachowanie bez generowania flagi błędu. Taki warunek ustawień powinien być zabroniony.  Ten bit jest ustawiany tylko przez oprogramowanie i jest usuwany, gdy bit BSY jest usuwany w FLASH_SR.
Bit 15	<b>MER2:</b> Kasowanie masowe banku 2  Gdy jest ustawiony to ten bit wyzwała masowe usuwanie banku 2 (wszystkich stron użytkownika banku 2).
Bity 14:12	Zarezerwowane, muszą zachować wartość resetowania.
Bit 11	<b>BKER:</b> Kasowanie banku  DBANK = 1 0: Bank 1 jest wybrany do usunięcia strony 1: Bank 2 jest wybrany do usunięcia strony DBANK = 0 Zarezerwowane, musi być utrzymany wyczyszczony



- Bit 10            Zarezerwowany, musi zachować wartość resetowania.
- Bity 9: 3        **PNB [6: 0]:** Wybór numeru strony do usunięcia  
Te bity wybierają stronę do usunięcia:  
00000000: strona 0  
00000001: strona 1  
...  
11111111: strona 255
- Bit 2            **MER1:** Kasowanie masowe banku 1  
Gdy jest ustawiony to wyzwala masowe usuwanie banku 1 (wszystkie strony użytkownika banku 1).
- Bit 1            **PER:** Kasowanie strony  
0: wymazywanie strony wyłączone  
1: wymazywanie strony włączone
- Bit 0            **PG:** Programowanie  
0: Programowanie Flash wyłączone  
1: Programowanie Flash włączone

### 3.7.7. Rejestr wykrywania błędów ECC (FLASH\_ECCR)

Przesunięcie adresu: 0x18

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja pamięci Flash, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ECCD	ECCC	ECCD2	ECCC2	Res.	Res.	Res.	ECCC IE	Res.	SYSF_ ECC	BK _ECC	Res.	Res.	ADDR_ECC[18:16]		
rc_w1	rc_w1	rc_w1	rc_w1				rw		r	r			r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR_ECC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

- Bit 31            **ECCD:** Wykrywanie ECC  
DBANK = 1  
Ustawiane sprzętowo po wykryciu dwóch błędów ECC (tylko jeśli ECCC / ECCC2 / ECCD / ECCD2 zostały wcześniej wyczyszczone). Po ustawieniu tego bitu generowane jest przerwanie NMI.  
Oczyszczanie przez nadpisanie 1.  
DBANK = 0  
Ustawiany sprzętowo po wykryciu dwóch błędów ECC w 64-bitowym LSB (bity 63: 0) (tylko jeśli ECCC / ECCC2 / ECCD / ECCD2 zostały wcześniej skasowane). Po ustawieniu tego bitu generowane jest przerwanie NMI.  
Oczyszczanie przez nadpisanie 1.
- Bit 30            **ECCC:** korekta ECC  
DBANK = 1  
Ustawiane sprzętowo, gdy jeden błąd ECC zostanie wykryty i naprawiony (tylko jeśli ECCC / ECCC2 / ECCD / ECCD2 zostały wcześniej usunięte). Przerwanie jest generowane, jeśli ustawiony jest ECCIE.

	Oczyszczanie przez nadpisanie 1. DBANK = 0 Ustawiany sprzętowo, gdy jeden błąd ECC został wykryty i poprawiony na 64-bitach LSB (bity 63: 0) (tylko jeśli ECCB / ECCC2 / ECCD / ECCD2 zostały wcześniej skasowane). Oczyszczanie przez nadpisanie 1.
Bit 29	<b>ECCD2:</b> Wykrywanie ECC2  DBANK = 0 Ustawiany sprzętowo po wykryciu dwóch błędów ECC w 64-bitowym MSB (bity 127: 64). Ten bit jest ustawiony (tylko jeśli CCC / ECCC2 / ECCD / ECCD2 zostały wcześniej skasowane). Po ustawieniu tego bitu generowane jest NMI. Oczyszczanie przez nadpisanie 1. DBANK = 1 Zarezerwowany, musi zachować wartość resetowania.
Bit 28	<b>ECCC2:</b> Korekta ECC  DBANK = 0 Ustawiany sprzętowo, gdy jeden błąd ECC został wykryty i poprawiony na 64-bitowym MSB (bity 127: 64). Ten bit jest ustawiony (tylko jeśli ECCC / ECCC2 / ECCD / ECCD2 zostały wcześniej skasowane). Przerwanie jest generowane, jeśli ustawiony jest ECCCIE. Oczyszczanie przez nadpisanie 1. DBANK = 1 Zarezerwowany, musi zachować wartość resetowania.
Bity 27:25	Zarezerwowane, muszą zachować wartość resetowania.
Bit 24	<b>ECCCIE:</b> Włączenie przerwania korekcji ECC  0: Przerwanie ECCC wyłączone 1: Przerwanie ECCC włączone. DBANK = 0 Ten bit umożliwia generowanie przerwania, gdy ustawione są bity ECCC lub ECCC2 w rejestrze FLASH_ECCR. DBANK = 1 Ten bit umożliwia generowanie przerwania, gdy ustawiony jest bit ECCC w rejestrze FLASH_ECCR.
Bit 23	Zarezerwowany, musi zachować wartość resetowania.
Bit 22	<b>SYSF_ECC</b> ECC błąd systemu Flash  Ten bit wskazuje, że korekta błędów ECC lub podwójne błędy ECC wykryto w systemie Flash.
Bit 21	<b>BK_ECC:</b> Awaria banku ECC  DBANK = 1 Ten bit wskazuje, którego banku dotyczy korekta błędu ECC lub wykrywanie podwójnego błędu ECC. 0: bank 1 1: bank 2 DBANK = 0 Jeśli SYSF_ECC ma wartość 1, to wskazuje, którego banku dotyczy błąd ECC Jeśli SYSF_ECC wynosi 0, zarezerwowany, musi być wyczyszczony.
Bity 20:19	Zarezerwowane, muszą zachować wartość resetowania.

Bity 18: 0 **ADDR\_ECC**: Adres błędu ECC

DBANK = 0

Ten bit wskazuje, którego adresu w pamięci Flash dotyczy korekta błędu ECC lub wykrycie podwójnego błędu ECC.

DBANK = 1

Ten bit wskazuje, którego adresu w banku dotyczy korekta błędu ECC lub wykrycie podwójnego błędu ECC.

### 3.7.8. Rejestr opcji pamięci Flash (FLASH\_OPTR)

Przesunięcie adresu: 0x20

Wartość resetowania: 0xFXXX XXXX. Bity rejestru są ładowane wartościami z pamięci Flash w OBL.

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja pamięci Flash, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	IRHEN	NRST_MODE [1:0]		nBOOT0	nSWBOOT0	CCM SRAM_RST	SRAM_PE	nBOOT1	DBANK	Res.	BFB2	WWDG_SW	IWGD_STDBY	IWDG_STOP	IWDG_SW
	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	nRST_SHDW	nRST_STDBY	nRST_STOP	Res.	BOR_LEV[2:0]			RDP[7:0]							
	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit 31 Zarezerwowany, musi zachować wartość resetowania.

Bit 30 **IRHEN**: Bit odblokowania wewnętrznego wyzwalania resetu

0: Wewnętrzne resety są propagowane jako proste impulsy na pinie NRST

1: Wewnętrzne resety obniżają napięcie na pinie NRST, dopóki nie zostanie ono uznane za stan niski

Bity 29:28 **NRST\_MODE [1: 0]**

00: Zarezerwowany

01: Resetowanie tylko wejścia: niski stan na pinie NRST generuje reset systemu, wewnętrzny RESET nie jest propagowany do pinu NSRT

10: GPIO: standardowa funkcjonalność pada GPIO, możliwy tylko wewnętrzny RESET

11: Resetowanie dwukierunkowe: pin NRST skonfigurowany w trybie resetowania wejścia / wyjścia (tryb dziedziczenia)

Bit 27 **nBOOT0**: bit opcji nBOOT0

0: nBOOT0 = 0

1: nBOOT0 = 1

Bit 26 **nSWBOOT0**: Oprogramowanie BOOT0

0: BOOT0 pochodzi z bitu opcji nBOOT0

1: BOOT0 pobrany z pinu PB8 / BOOT0

Bit 25 **CCMSRAM\_RST**: CCM SRAM Kasowanie po zresetowaniu systemu

0: pamięć CCM SRAM zostaje skasowana po resecie systemu

1: Pamięć CCM SRAM nie jest kasowana po zresetowaniu systemu

Bit 24 **SRAM\_PE**: Włączone sprawdzanie parzystości SRAM1 i CCM SRAM

0: Włączone sprawdzanie parzystości SRAM1 i CCM SRAM

	1: Wyłączone sprawdzanie parzystości SRAM1 i CCM SRAM
Bit 23	<b>nBOOT1:</b> Konfiguracja rozruchu  Wraz z pinem BOOT0 ten bit wybiera tryb rozruchu: z pamięci głównej Flash, SRAM1 lub pamięci systemowej.
Bit 22	<b>DBANK:</b>  0: Tryb pojedynczego banku z szerokością odczytu danych 128 bitów 1: Tryb podwójnego banku z danymi 64-bitowymi  Ten bit można zapisać tylko wtedy, gdy PCROPA / B jest wyłączony.
Bit 21	Zarezerwowany, musi być wyczyszczony
Bit 20	<b>BFB2:</b> Boot z dwoma bankami  0: Wyłączanie rozruchu w dwóch bankach 1: Włączanie uruchamiania z dwóch banków
Bit 19	<b>WWDG_SW:</b> Wybór okna dla watchdoga  0: Watchdog okno sprzętowe 1: Watchdog okno programowe
Bit 18	<b>IWDG_STDBY:</b> Licznik niezależnego watchdoga zamrażany w trybie gotowości (Standby)  0: Licznik niezależnego watchdoga jest zamrożony w trybie gotowości 1: Licznik niezależnego watchdoga działa w trybie gotowości
Bit 17	<b>IWDG_STOP:</b> Licznik niezależnego watchdoga zamraża się w trybie zatrzymania (Stop)  0: Licznik niezależnego watchdoga jest zamrożony w trybie zatrzymania 1: Licznik niezależnego watchdoga działa w trybie zatrzymania
Bit 16	<b>IDWG_SW:</b> Wybór niezależności watchdoga  0: watchdog niezależny od sprzętu 1: watchdog niezależny od oprogramowania
Bit 15	Zarezerwowany, musi być wyczyszczony
Bit 14	<b>nRST_SHDW</b>  0: Reset generowany po przejściu do trybu zamykania (Shutdown) 1: Reset nie jest generowany po przejściu do trybu zamykania
Bit 13	<b>nRST_STDBY</b>  0: Reset generowany po przejściu w tryb gotowości (Standby) 1: Reset nie jest generowany po przejściu w tryb gotowości
Bit 12	<b>nRST_STOP</b>  0: Reset generowany po przejściu do trybu zatrzymania (Stop) 1: Reset nie jest generowany po przejściu do trybu zatrzymania
Bit 11	Zarezerwowany, musi być wyczyszczony
Bity 10: 8	<b>BOR_LEV:</b> Poziomy zasilania BOR dla aktywacji resetu  Te bity zawierają próg poziomu zasilania VDD, który aktywuje / zwalnia reset.  000: BOR Poziom 0. Próg poziomu resetowania wynosi około 1,7 V.

001: BOR Poziom 1. Próg poziomu resetowania wynosi około 2,0 V.  
 010: BOR Poziom 2. Próg poziomu resetowania wynosi około 2,2 V.  
 011: BOR Poziom 3. Próg poziomu resetowania wynosi około 2,5 V.  
 100: BOR Poziom 4. Próg poziomu resetowania wynosi około 2,8 V.

Bity 7: 0 **RDP**: Odczyt poziomu ochrony

0xAA: Poziom 0, ochrona przed odczytem nieaktywna

0xCC: Poziom 2, aktywna ochrona odczytu chipów

Inne: Poziom 1, aktywna ochrona odczytu pamięci

*Uwaga: Zadbaj o konfigurację PCROP\_RDP na Poziomie 1.*

### 3.7.9. Flash PCROP1 Rejestr adresu początkowego (FLASH\_PCROP1SR)

Przesunięcie adresu: 0x24

Wartość resetowania: 0xFFFF XXXX. Bity rejestru są ładowane wartościami z pamięci Flash w OBL.

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja na pamięci Flash, dostęp do słów.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PCROP1_STRT[14:0]														
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:15 Zarezerwowane, muszą być wyczyszczone

Bity 14: 0 **PCROP1\_STRT**: Offset startowy obszaru PCROP

DBANK = 1

PCROP1\_STRT zawiera pierwsze podwójne słowo obszaru PCROP dla banku 1.

DBANK = 0

PCROP1\_STRT zawiera pierwsze 2x podwójne słowo obszaru PCROP dla całej pamięci.

### 3.7.10. Flash PCROP1 Rejestr adresu końcowego (FLASH\_PCROP1ER)

Przesunięcie adresu: 0x28

Wartość resetowania: 0xX000 XXXX. Bity rejestru są ładowane wartościami z pamięci Flash w OBL.

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja na pamięci Flash, dostęp do słowa, pół słowa. Bit PCROP\_RDP można ustawić za pomocą dostępu do bajtów.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PCROP_RDP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rs															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PCROP1_END[14:0]														
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 31 **PCROP\_RDP**: Obszar PCROP zostaje zachowany po obniżeniu poziomu RDP

Ten bit jest wskaźnikiem. Jest resetowany po pełnym kasowaniu masowym z powodu zmiany RDP z Poziomu 1 na Poziom 0.

0: Obszar PCROP nie jest usuwany, gdy poziom RDP zostanie obniżony z Poziomu 1 do Poziomu 0.

1: Obszar PCROP jest usuwany, gdy poziom RDP jest obniżany z Poziomu 1 do Poziomu 0 (pełne kasowanie).

Bit 30:15 Zarezerwowane, muszą być wyczyszczone

Bit 14: 0 **PCROP1\_END**: Przesunięcie końca obszaru PCROP banku 1

DBANK = 1

PCROP1\_END zawiera ostatnie podwójne słowo z obszaru PCROP banku 1.

DBANK = 0

PCROP1\_END zawiera ostatnie 2x podwójne słowo pierwszego obszaru PCROP w całej pamięci.

### 3.7.11. Rejestr adresu WRP Flash Bank 1 obszar A (FLASH\_WRP1AR)

Przesunięcie adresu: 0x2C

Wartość resetowania: 0x00XX 00XX. Bity rejestru są ładowane wartościami z pamięci Flash w OBL.

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja pamięci Flash, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_END[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_STRT[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 31:23 Zarezerwowane, muszą być wyczyszczone

Bit 22:16 **WRP1A\_END**: Przesunięcie końca obszaru WRP obszaru pierwszego „A”

DBANK = 1

WRP1A\_END zawiera ostatnią stronę WRP pierwszego obszaru w banku 1.

DBANK = 0

WRP1A\_END zawiera ostatnią stronę WRP pierwszego obszaru dla całej pamięci.

Bit 15: 7 Zarezerwowane, muszą być wyczyszczone

Bit 6: 0 **WRP1A\_STRT**: Przesunięcie początkowe obszaru WRP obszaru pierwszego „A”

DBANK = 1

WRP1A\_STRT zawiera pierwszą stronę WRP pierwszego obszaru dla banku 1.

DBANK = 0

WRP1A\_STRT zawiera pierwszą stronę WRP pierwszego obszaru dla całej pamięci.

### 3.7.12. Rejestr adresu WRP Flash Bank 1 obszar B (FLASH\_WRP1BR)

Przesunięcie adresu: 0x30

Wartość resetowania: 0x00XX 00XX. Bity rejestru są ładowane wartościami z pamięci Flash w OBL.

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja na pamięci Flash, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_END[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_STRT[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:23 Zarezerwowane, muszą być wyczyszczone

Bity 22:16 **WRP1B\_END**: przesunięcie końca obszaru WRP drugiego obszaru „B”

DBANK = 1

WRP1B\_END zawiera ostatnią stronę WRP drugiego obszaru dla banku 1.

DBANK = 0

WRP1B\_END zawiera ostatnią stronę drugiego obszaru WPR dla całej pamięci.

Bity 15: 7 Zarezerwowane, muszą być wyczyszczone

Bity 6: 0 **WRP1B\_STRT**: Przesunięcie startu obszaru WRP drugiego obszaru „B”

DBANK = 1

WRP1B\_STRT zawiera ostatnią stronę WRP drugiego obszaru dla banku 1.

DBANK = 0

WRP1B\_STRT zawiera ostatnią stronę WPR drugiego obszaru dla całej pamięci.

### 3.7.13. Rejestr PCROP2 adresu początkowego pamięci Flash (FLASH\_PCROP2SR)

Przesunięcie adresu: 0x44

Wartość resetowania: 0xFFFF XXXX

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja na pamięci Flash, dostęp do słów.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PCROP2_STRT[14:0]														
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:15 Zarezerwowane, muszą być wyczyszczone

Bity 14: 0 **PCROP2\_STRT**: Przesunięcie początkowe obszaru PCROP

DBANK = 1

PCROP2\_STRT zawiera pierwsze podwójne słowo obszaru PCROP dla banku 2.

DBANK = 0

PCROP2\_STRT zawiera pierwszy podwójny słowo obszaru PCROP dla całej pamięci.

### 3.7.14. Rejestr PCROP2 adresu końcowego pamięci Flash (FLASH\_PCROP2ER)

Address offset: 0x48

Reset value: 0x0000 XXXX

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja na pamięci Flash, dostęp do słów



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PCROP2_END[14:0]														
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:15 Zarezerwowane, muszą być wyczyszczone

Bity 14: 0 **PCROP2\_END**: Przesunięcie końca obszaru PCROP

DBANK = 1

PCROP2\_END zawiera ostatnie podwójne słowo obszaru PCROP dla banku 2.

DBANK = 0

PCROP2\_END zawiera ostatnie 2x podwójne słowo obszaru PCROP dla całej pamięci.

### 3.7.15. Rejestr adresu WRP Flash Bank 2 obszar A (FLASH\_WRP2AR)

Przesunięcie adresu: 0x4C

Wartość resetowania: 0x00XX 00XX

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja na pamięci Flash, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP2A_END[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP2A_STRT[6:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:23 Zarezerwowane, muszą być wyczyszczone

Bity 22:16 **WRP2A\_END**: przesunięcie końca pierwszego obszaru WRP w obszarze „A”

DBANK = 1

WRP2A\_END zawiera ostatnią stronę pierwszego obszaru WRP dla banku 2.

DBANK = 0

WRP2A\_END zawiera ostatnią stronę trzeciego obszaru WRP dla całej pamięci.

Bity 15: 7 Zarezerwowane, muszą być wyczyszczone

Bity 6: 0 **WRP2A\_STRT**: Przesunięcie początkowe pierwszego obszaru WRP „A”

DBANK = 1

WRP2A\_STRT zawiera pierwszą stronę pierwszego obszaru WRP dla banku 2.

DBANK = 0

WRP2A\_STRT zawiera pierwszą stronę trzeciego obszaru WRP dla całej pamięci.

### 3.7.16. Rejestr adresu WRP Flash Bank 2 obszar B (FLASH\_WRP2AR)

Przesunięcie adresu: 0x50

Wartość resetowania: 0x00XX 00XX

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja na pamięci Flash, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP2B_END[7:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP2B_STRT[7:0]						
									r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:23 Zarezerwowane, muszą być wyczyszczone

Bity 22:16 **WRP2B\_END**: przesunięcie końca pierwszego obszaru WRP w obszarze „B”

DBANK = 1

WRP2B\_END zawiera ostatnią stronę drugiego obszaru WRP dla banku 2.

DBANK = 0

WRP2B\_END zawiera ostatnią stronę czwartego obszaru WRP dla całej pamięci.

Bity 15: 7 Zarezerwowane, muszą być wyczyszczone

Bity 6: 0 **WRP2B\_STRT**: Przesunięcie początkowe pierwszego obszaru WRP „B”

DBANK = 1

WRP2B\_STRT zawiera pierwszą stronę drugiego obszaru WRP dla banku 2.

DBANK = 0

WRP2B\_STRT zawiera pierwszą stronę drugiego obszaru WRP dla całej pamięci.

### 3.7.17. Rejestr obszaru chronionego banku 1 pamięci Flash (FLASH\_SEC1R)

Przesunięcie adresu: 0x70

Wartość resetowania: 0xFFFF FFX

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja pamięci Flash, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BOOT_LOCK
															r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEC_SIZE1							
								r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:17 Zarezerwowane, muszą być usunięte

Bit 16 **BOOT\_LOCK**: Unikalny punkt inicjacji rozruchu.

Po ustawieniu tego bitu rozruch odbywa się tylko z pamięci Flash użytkownika, niezależnie od ustawień poziomu RDP. Ten bit może być zresetowany przez SW tylko na Poziomie 0. Na Poziomie 1 jedynym sposobem na zresetowanie tego bitu jest regresja poziomu (Poziom 1 => Poziom 0), która wymusza masowe kasowanie pamięci Flash.

Bity 15: 8 Zarezerwowane, muszą być usunięte

Bit 7: 0 **SEC\_SIZE1**: ustawia liczbę stron używanych w obszarze chronionym pamięci banku 1.

Obszar zabezpieczony zaczyna się od @ 0x0800 0000, a jego rozmiar to SEC\_SIZE1 \* rozmiar strony.

To pole można zmienić tylko na Poziomie 0 zabezpieczeń.

Każda próba modyfikacji na Poziomie 1 kończy się niepowodzeniem bez komunikatu i nie zmienia wartości rejestru.

### 3.7.18. Rejestr obszaru chronionego banku 2 pamięci Flash (FLASH\_SEC1R)

Przesunięcie adresu: 0x74

Wartość resetowania: 0xFFFF FFX

Dostęp: brak stanu oczekiwania, gdy nie jest wykonywana żadna operacja pamięci Flash, dostęp do słów, pół słów i bajtów.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEC_SIZE2							
								rW	rW	rW	rW	rW	rW	rW	rW

Bit 31: 8      Zarezerwowane, muszą być usunięte

Bit 7: 0      **SEC\_SIZE2**: ustawia liczbę stron używanych w obszarze chronionym pamięci banku 2.

Obszar zabezpieczony zaczyna się od @ 0x0804 0000, a jego rozmiar to SEC\_SIZE2 \* rozmiar strony.

Gdy DBANK = 0, to pole jest nieprzydatne.

To pole można zmienić tylko na Poziomie 0 zabezpieczeń.

Każda próba modyfikacji na Poziomie 1 kończy się niepowodzeniem bez komunikatu i nie zmienia wartości rejestru.

### 3.7.19. Mapa rejestrów pamięci FLASH

Tabela 17 Interfejs Flash - mapa rejestrów i resetowane wartości

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0x00	FLASH_ACR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_SWEN	Res.	Res.	Res.	SLEEP_PD	0	0	0	0	0	0	0	0	0	0	LATENCY [3:0]		
	Reset value																																	0	0	0
0x04	FLASH_PDKEYR	PDKEYR[31:0]																																		
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	FLASH_KEYR	KEYR[31:0]																																		
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	FLASH_OPTKEYR	OPTKEYR[31:0]																																		
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	FLASH_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BSY	OPTVERR	RDERR	Res.	Res.	Res.	Res.	FASTERR	MISERR	PGSEERR	SIZERR	PGAERR	WRPERR	PROGERR	Res.	OPERR	EOP
	Reset value																				0	0	0				0	0	0	0	0	0	0	0	0	0
0x14	FLASH_CR	LOCK	OPTLOCK	SEC_PROT2	SEC_PROT1	OBL_LAUNCH	RDERRIE	ERRIE	EOPIE	Res.	Res.	Res.	Res.	Res.	Res.	FSTFG	OPTSTRT	STRT	MER2	Res.	Res.	Res.	BKER	Res.	PNB[6:0]						MER1	PER	PG			
	Reset value	1	1	1	1	0	0	0	0							0	0	0	0				0		0	0	0	0	0	0	0	0	0	0	0	0
0x18	FLASH_ECCR	ECCD	ECCC	ECCD2	ECCC2	Res.	Res.	Res.	ECCIE	Res.	SYSF_ECC	BK_ECC	Res.	Res.	ADDR_ECC[18:0]																					
	Reset value	0	0	0	0				0		0	0																								
0x20	FLASH_OPTR	Res.	Res.	Res.	Res.	nBOOT0	nSWBOOT0	CCMSRAM_RST	SRAM_PE	nBOOT1	DBANK	Res.	BFB2	WWDG_SW	WWDG_STBY	WWDG_STOP	WWDG_SW	Res.	nRST_SHDW	nRST_STDBY	nRST_STOP	Res.	BOR_LEV[2:0]	RDP[7:0]												
	Reset value					X	X	X	X	X	X		X	X	X	X	X		X	X	X			X	X	X	X	X	X	X	X	X	X	X	X	X
0x24	FLASH_PCROP1SR	PCROP1_STRT[14:0]																																		
	Reset value																			X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
0x28	FLASH_PCROP1ER	PCROP_RDP	PCROP1_END[14:0]																																	
	Reset value	X																		X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
0x2C	FLASH_WRP1AR	WRP1A_END[6:0]														WRP1A_STRT[6:0]																				
	Reset value										X	X	X	X	X	X	X											X	X	X	X	X	X	X	X	X

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x30	FLASH_WRP1BR	Res	Res	Res	Res	Res	Res	Res	Res	Res	WRP1B_END[6:0]						Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	WRP1B_START[6:0]					
	Reset value										X	X	X	X	X	X	X											X	X	X	X	X	X	X
0x44	FLASH_PCROP2SR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PCROP2_START[14:0]															
	Reset value																		X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
0x48	FLASH_PCROP2ER	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PCROP2_END[14:0]															
	Reset value																		X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
0x4C	FLASH_WRP2AR	Res	Res	Res	Res	Res	Res	Res	Res	Res	WRP2A_END[6:0]						Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	WRP2A_START[6:0]					
	Reset value										X	X	X	X	X	X	X											X	X	X	X	X	X	
0x50	FLASH_WRP2BR	Res	Res	Res	Res	Res	Res	Res	Res	Res	WRP2B_END[7:0]						Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	WRP2B_START[7:0]					
	Reset value									X	X	X	X	X	X	X	X										X	X	X	X	X	X	X	
0x70	FLASH_SEC1R	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	SEC_SIZE1[7:0]							
	Reset value																	X									X	X	X	X	X	X	X	
0x74	FLASH_SEC2R	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	SEC_SIZE2[7:0]							
	Reset value																										X	X	X	X	X	X	X	X

## 4. Kontrola zasilania (PWR)

### 4.1. Zasilacze

Urządzenia z serii STM32G4 wymagają napięcia roboczego od 1,71 V do 3,6 V ( $V_{DD}$ ). Analogowe urządzenia peryferyjne są zasilane przez niezależną domenę mocy  $V_{DDA}$ .

- $V_{DD} = 1,71 \text{ V}$  do 3,6 V.

$V_{DD}$  to zewnętrzny zasilacz dla I / O, wewnętrzny regulator i analogowe napięcie systemowe dla zarządzania czynnościami, takie jak reset, zarządzanie energią i zegarami wewnętrznymi. Jest dostarczane zewnętrznie przez piny  $V_{DD}$ .

- $V_{DDA} = 1,62 \text{ V}$  (ADC / COMP) / 1,71 V (DAC 1MSPS / DAC 15MSPS) / 2 V (OPAMP) / 2,4 V (VREFBUF)

$V_{DDA}$  jest zewnętrznym analogowym źródłem zasilania dla przetworników A/C, przetworników D/A, bufora napięcia odniesienia, wzmacniaczy operacyjnych i komparatorów. Poziom napięcia  $V_{DDA}$  jest niezależny od napięcia  $V_{DD}$ .  $V_{DDA}$  najlepiej podłączyć do  $V_{DD}$ , kiedy wymienione urządzenia peryferyjne nie są używane.

Podczas włączania i wyłączenia wymagana jest następująca sekwencja zasilania:

- - Gdy  $V_{DD}$  jest poniżej 1 V, wówczas zasilanie  $V_{DDA}$  musi pozostać poniżej  $V_{DD} + 300 \text{ mV}$
- - Gdy  $V_{DD}$  jest powyżej 1 V, wszystkie zasilacze stają się niezależne.

Podczas fazy wyłączenia  $V_{DD}$  może chwilowo obniżyć się w stosunku do innych źródeł zasilania tylko wtedy, gdy energia dostarczona do MCU pozostaje poniżej 1 mJ. Pozwala to na zewnętrzne odseparowanie kondensatorów, które powinny być rozładowywane z różnymi stałymi czasowymi podczas przejściowej fazy zaniku zasilania.

- $V_{BAT} = 1,55 \text{ V}$  do  $3,6 \text{ V}$ .

$V_{BAT}$  jest zasilaczem dla RTC, zewnętrznego zegara 32 kHz oscylatora i rejestrów zapasowych (poprzez przełącznik zasilania), gdy  $V_{DD}$  nie jest obecny.  $V_{BAT}$  jest wewnętrznie związany z  $V_{DD}$  dla małych paczek bez dedykowanego kodu PIN.

- $V_{REF-}$ ,  $V_{REF+}$

$V_{REF+}$  to wejściowe napięcie odniesienia dla przetworników ADC i DAC. Jest to również wyjście wewnętrznego bufora napięcia odniesienia, gdy jest włączony.

Gdy  $V_{DDA} < 2 \text{ V}$ ,  $V_{REF+}$  musi być równe  $V_{DDA}$ .

Gdy  $V_{DDA} \geq 2 \text{ V}$ ,  $V_{REF+}$  musi wynosić od  $2 \text{ V}$  do  $V_{DDA}$ .

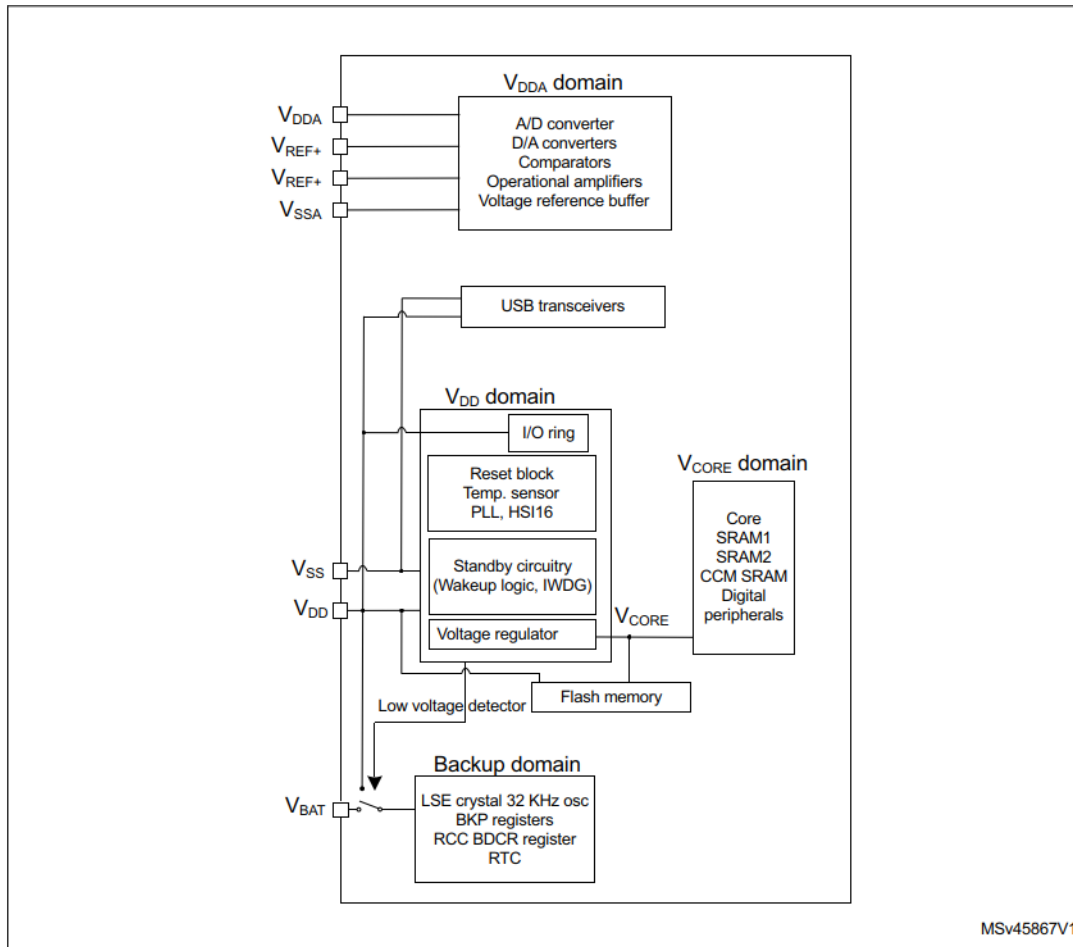
$V_{REF+}$  można uziemić, gdy ADC i DAC nie są aktywne.

Wewnętrzny bufor napięcia odniesienia obsługuje trzy napięcia wyjściowe, które są skonfigurowane z bitem VRS w rejestrze VREFBUF\_CSR:

- $V_{REF+}$  około  $2,048 \text{ V}$ . Wymaga to  $V_{DDA}$  równej lub wyższej niż  $2,4 \text{ V}$ .
- $V_{REF+}$  około  $2,5 \text{ V}$ . Wymaga to  $V_{DDA}$  równej lub wyższej niż  $2,8 \text{ V}$ .
- $V_{REF++}$  około  $2,9 \text{ V}$ . Wymaga to  $V_{DDA}$  równej lub wyższej niż  $3,135 \text{ V}$ .

$V_{REF-}$  jest wewnętrznie podwójnie związane z  $V_{SSA}$ .

Wbudowany liniowy regulator napięcia służy do zasilania z wewnętrznego cyfrowego zasilacza  $V_{CORE}$ .  $V_{CORE}$  to zasilacz do cyfrowych urządzeń peryferyjnych SRAM1, SRAM2 i CCM SRAM. Pamięć Flash jest zasilana przez  $V_{CORE}$  i  $V_{DD}$ .



Rysunek 6 Schemat ideowy zasilaczy serii STM32G4

#### 4.1.1. Niezależne zasilanie analogowych urządzeń peryferyjnych

Aby poprawić dokładność konwersji przetworników ADC i DAC oraz zwiększyć elastyczność zasilania, analogowe urządzenia peryferyjne mają niezależne źródło zasilania, które można osobno filtrować i chronić przed szumem na płycie głównej.

- Wejście zasilania analogowych urządzeń peryferyjnych jest dostępne na osobnym pinie  $V_{DDA}$ .
- Izolowane uziemienie zasilania jest zapewnione na pinie  $V_{SSA}$ .

Napięcie zasilania  $V_{DDA}$  może różnić się od  $V_{DD}$ . Obecność  $V_{DDA}$  należy sprawdzić przed włączeniem któregośkolwiek z analogowych urządzeń peryferyjnych zasilanych przez  $V_{DDA}$  (przetwornik A/D, przetwornik D/A, komparatory, wzmacniacze operacyjne, bufor napięcia odniesienia).

Zasilanie  $V_{DDA}$  może być monitorowane przez monitorowanie napięcia obwodowego i porównywane go z wartościami progowymi.

Gdy używane jest pojedyncze źródło zasilania,  $V_{DDA}$  można podłączyć zewnętrznie do  $V_{DD}$  przez zewnętrzny obwód filtrujący, aby zapewnić wolne od szumów napięcie odniesienia  $V_{DDA}$ .

##### Napięcie odniesienia dla ADC i DAC

Aby zapewnić lepszą dokładność na wejściach i wyjściach o niskim napięciu, użytkownik może podłączyć do  $V_{REF+}$  osobne napięcie odniesienia niższe niż  $V_{DDA}$ .  $V_{REF+}$  to najwyższe napięcie reprezentowane przez w pełni skalowaną wartość, dla sygnału wejścia analogowego (ADC) lub wyjściowego (DAC).

$V_{REF+}$  może być zapewnione przez zewnętrzną wartość referencyjną albo przez wewnętrzną buforowaną wartość napięcia referencyjnego (VREFBUF).

Wewnętrzne buforowane napięcie odniesienia (VREFBUF) jest włączane przez ustawienie bitu ENVR w rejestrze kontroli i statusu VREFBUF (VREFBUF\_CSR). Wewnętrzne buforowane napięcie odniesienia (VREFBUF) jest ustawione na wartości: 2,048 V, 2,5 V lub 2,9 V zgodnie z ustawieniem bitów VRS [1: 0]. Wewnętrzne buforowane napięcie odniesienia może również dostarczać zasilanie do komponentów zewnętrznych poprzez pin  $V_{REF+}$ .

#### 4.1.2. Zasilanie transceiverów USB

Urządzenia nadawczo-odbiorcze USB są zasilane z piny zasilania  $V_{DD}$ . Zakres  $V_{DD}$  dla USB wynosi od 3,0 V do 3,6 V.

#### 4.1.3. Zdublowanie zasilania z baterii

Aby zachować zawartość rejestrów kopii zapasowych i zapewnić funkcję RTC, gdy  $V_{DD}$  jest wyłączony, pin VBAT można podłączyć do opcjonalnego napięcia zapasowego zasilanego z baterii lub z innego źródła.

Styk VBAT zasilają jednostkę RTC, oscylator LSE i wejścia / wyjścia PC13 do PC15, umożliwiając działanie RTC nawet przy wyłączonym głównym zasilaniu. Przetączenie na zasilanie  $V_{BAT}$  jest kontrolowane przez reset wyłączający zasilanie wbudowany w blok Resetu.

##### Ostrzeżenie:

**Podczas trwania  $t_{RSTTEMPO}$  (tymczasowe uruchamianie przy  $V_{DD}$ ) lub po wykryciu PDR, przetącznik zasilania między  $V_{BAT}$  i  $V_{DD}$  pozostaje podłączony do  $V_{BAT}$ .**

**Podczas fazy rozruchu, jeśli  $V_{DD}$  jest ustanowione na mniej niż w  $t_{RSTTEMPO}$  i  $V_{DD} > V_{BAT} + 0,6$  V, prąd może być dostarczany do  $V_{BAT}$  przez wewnętrzną diodę połączoną między  $V_{DD}$  a przetącznikiem zasilania ( $V_{BAT}$ ).**

**Jeśli zasilacz / akumulator podłączony do pinu VBAT nie może dostarczyć takiej porcji prądu, zdecydowanie zaleca się podłączenie zewnętrznej diody dolnoprzepustowej między tym zasilaczem a stykiem  $V_{BAT}$ .**

Jeśli w aplikacji nie jest używana zewnętrzna bateria, zaleca się podłączenie  $V_{BAT}$  zewnętrznie do  $V_{DD}$  za pomocą ceramicznego kondensatora separującego o wartości 100 nF.

Gdy domena dublowania jest zasilana przez  $V_{DD}$  (przetącznik analogowy podłączony do  $V_{DD}$ ), dostępne są następujące styki:

- PC13, PC14 i PC15, które mogą być używane jako piny GPIO
- PC13, PC14 i PC15, które można skonfigurować za pomocą RTC lub LSE
- PA0 / RTC\_TAMP2 i PE6 / RTC\_TAMP3, gdy są skonfigurowane przez RTC jako piny zabezpieczające

*Uwaga: Z uwagi na fakt, że przetącznik analogowy może przenosić tylko ograniczoną ilość prądu (3 mA), użycie GPIO PC13 do PC15 w trybie wyjściowym jest ograniczone: prędkość musi być ograniczona do 2 MHz przy maksymalnym obciążeniu wynoszącym 30 pF i te wejścia / wyjścia nie mogą być używane jako źródło prądu (np. do zasilania diody LED).*

Gdy domena dublowania jest zasilana przez  $V_{BAT}$  (przetącznik analogowy jest podłączony do  $V_{BAT}$ , ponieważ  $V_{DD}$  nie jest obecny), dostępne są następujące funkcje:

- PC13, PC14 i PC15 mogą być kontrolowane tylko przez RTC lub LSE
- PA0 / RTC\_TAMP2 i PE6 / RTC\_TAMP3, gdy są skonfigurowane przez RTC jako piny zabezpieczające

#### Dostęp do domeny dublowania

Po zresetowaniu systemu domena kopii zapasowych (rejstry RTC i rejstry kopii zapasowych) jest chroniona przed możliwym niepożądanym dostępem do zapisu. Aby włączyć dostęp do domeny kopii zapasowej, wykonaj następujące czynności:



1. Włącz zegar interfejsu zasilania, ustawiając bity PWREN w rejestrze 1 włączania zegara peryferyjnego APB1 (RCC\_APB1ENR1).
2. Ustaw bit DBP w rejestrze 1 sterowania mocą (PWR\_CR1), aby umożliwić dostęp do domeny kopii zapasowej.
3. Wybierz źródło zegara RTC w rejestrze kontroli domeny Backup (RCC\_BDCR).
4. Włącz zegar RTC, ustawiając bit RTCEN [15] w rejestrze kontroli domeny zapasowej (RCC\_BDCR).

#### Ładowanie akumulatora VBAT

Gdy VDD jest obecny, możliwe jest ładowanie zewnętrznej baterii VBAT poprzez wewnętrzny opór.

Ładowanie VBAT odbywa się albo przez rezystor 5 kOhm, albo przez rezystor 1,5 kOhm, w zależności od wartości bitu VBRS w rejestrze PWR\_CR4.

Ładowanie baterii jest włączane przez aktywację bitu VBE w rejestrze PWR\_CR4. Jest on automatycznie wyłączany w trybie VBAT.

#### 4.1.4. Regulator napięcia

Dwa wbudowane liniowe regulatory napięcia zasilają wszystkie obwody cyfrowe, z wyjątkiem obwodów podtrzymania i dublowania. Napięcie wyjściowe głównego regulatora ( $V_{CORE}$ ) może być zaprogramowane w aplikacji dla dwóch różnych zakresów mocy (Zakres 1 i Zakres 2) w celu optymalizacji poboru mocy w zależności od maksymalnej częstotliwości roboczej systemu.

Regulatory napięcia są zawsze włączane po resecie. W zależności od trybów aplikacji zasilanie  $V_{CORE}$  jest zapewniane przez regulator główny (MR) lub przez regulator niskiej mocy (LPR).

- W trybach Run, Sleep i Stop 0 oba regulatory są włączone, a główny regulator (MR) dostarcza pełną moc do domeny  $V_{CORE}$  (rdzeń, pamięci i cyfrowe urządzenia peryferyjne).
- W trybach niskiej mocy: pracy i uśpienia główny regulator jest wyłączony, a regulator niskiej mocy (LPR) zasila domenę  $V_{CORE}$ , zachowując zawartość rejestrów, SRAM1, SRAM2 i SRAM CCM.
- W trybach Stop 1 główny regulator jest wyłączony, a regulator niskiej mocy (LPR) dostarcza niską moc do domeny  $V_{CORE}$ , zachowując zawartość rejestrów, SRAM1, SRAM2 i SRAM CCM.
- W trybie gotowości z zachowaną zawartością SRAM2 (ustawiony jest bit RRS w rejestrze PWR\_CR3) główny regulator (MR) jest wyłączony, a regulator niskiej mocy (LPR) dostarcza zasilanie tylko do SRAM2. Rdzeń, cyfrowe urządzenia peryferyjne (z wyjątkiem obwodów gotowości i domeny zdublowanej), SRAM1 i CCM SRAM są wyłączone.
- W trybie gotowości oba regulatory są wyłączone. Zawartość rejestrów, SRAM1, SRAM2 i CCM SRAM zostaje utracona, z wyjątkiem obwodów rezerwowych i domeny zdublowanej.
- W trybie wyłączenia oba regulatory są wyłączone. Po wyjściu z trybu wyłączenia generowany jest reset po włączeniu (power-on reset). W konsekwencji zawartość rejestrów, SRAM1, SRAM2 i CCM SRAM zostaje utracona, z wyjątkiem domeny kopii zapasowej.

#### 4.1.5. Dynamiczne zarządzanie skalowaniem napięcia

Dynamiczne skalowanie napięcia jest techniką zarządzania energią, która polega na zwiększaniu lub zmniejszaniu napięcia wykorzystywanego w cyfrowych urządzeniach peryferyjnych ( $V_{CORE}$ ), w zależności od wydajności aplikacji i potrzebami w zakresie zużycia energii.

Dynamiczne skalowanie napięcia w celu zwiększenia  $V_{CORE}$  jest znane jako overvolting (doładowanie). Pozwala to podnieść wydajność urządzenia.

Dynamiczne skalowanie napięcia w celu zmniejszenia  $V_{CORE}$  jest znane jako undervolting. Ma na celu oszczędzanie energii, szczególnie w laptopach i innych urządzeniach mobilnych, w których energia pochodzi z baterii, a zatem jest ograniczona.

- Zakres 1: Zakres wysokiej wydajności.

W zakresie 1 główny regulator pracuje w dwóch trybach następujących po bicie R1MODE w rejestrze PWR\_CR5:

- Tryb normalny zakresu 1 głównego regulatora: zapewnia typowe napięcie wyjściowe na poziomie 1,2 V. Jest stosowany, gdy częstotliwość zegara systemu wynosi do 150 MHz. Czas dostępu do odczytu pamięci Flash jest minimalny, możliwe są operacje zapisu i kasowania.
- Tryb wzmocnienia (boost) zakresu 1 regulatora głównego: zapewnia typowe napięcie wyjściowe na poziomie 1,28 V. Jest stosowany, gdy częstotliwość taktowania systemu wynosi do 170 MHz. Czas dostępu do odczytu pamięci Flash jest minimalny, możliwe są operacje zapisu i kasowania. Aby zoptymalizować zużycie energii, zaleca się wybranie trybu wzmocnienia zakresu 1, gdy częstotliwość zegara systemu jest większa niż 150 MHz.

Tabela 18 Konfiguracja trybu wzmocnienia zakresu 1

System frequency	26 MHz < SYSCLK ≤ 150 MHz	150 MHz < SYSCLK ≤ 170 MHz
R1MODE bit configuration	1	0

- Zakres 2: Zakres niskiej mocy.

Główny regulator zapewnia typowe napięcie wyjściowe na poziomie 1,0 V. Częstotliwość taktowania systemu może wynosić do 26 MHz. Czas dostępu do odczytu z pamięci Flash jest wydłużony w porównaniu z zakresem 1; operacje zapisu i kasowania nie są możliwe.

Skalowanie napięcia wybiera się za pomocą bitu VOS rejestrze 1 sterowania mocą (PWR\_CR1).

Sekwencja przejścia od Zakresu 1 (Normalny / Wzmocnienie) do Zakresu 2 to:

1. W przypadku przełączania z trybu Zakresu 1 Wzmocnienie do Zakresu 2, zegar systemowy musi zostać podzielony przez 2 za pomocą prescalera AHB przed przełączeniem na niższą częstotliwość systemową przez co najmniej 1µs. Następnie należy ponownie skonfigurować prescaler AHB.
2. Zmniejszyć częstotliwość systemu do wartości niższej niż 26 MHz.
3. Liczba stanów oczekiwania (wait states) musi zostać dopasowana do ustawionej częstotliwości w Zakresie 2 (bity LATENCY w FLASH\_ACR).
4. Bity VOS w rejestrze PWR\_CR1 powinny być ustawione na „10”.

Sekwencja przejścia od Zakresu 2 do Zakresu 1 (Normalny / Wzmocnienie) to:

1. Zaprogramuj bity VOS na „01” w rejestrze PWR\_CR1.
2. Poczekaj, aż flaga VOSF zostanie wyczyszczona w rejestrze PWR\_SR2.
3. Dostosuj liczbę stanów oczekiwania zgodnie z nową częstotliwością w Zakresie 1 (bity LATENCY w FLASH\_ACR).
4. Zwiększ częstotliwość systemu postępując zgodnie z poniższą procedurą:
  - a. Jeżeli częstotliwość systemu wynosi 26 MHz < SYSCLK ≤ 150 MHz:
    - Wybierz tryb normalny Zakresu 1, ustawiając bit R1MODE w rejestrze PWR\_CR5.
    - Skonfiguruj i przełącz na nową częstotliwość systemową.
  - b. Jeśli częstotliwość systemu wynosi SYSCLK > 150 MHz:
    - Przed przełączeniem na wyższą częstotliwość systemową zegar systemowy należy podzielić przez 2 za pomocą prescalera AHB.
    - Wybierz tryb wzmocnienia Zakresu 1, usuwając bit R1MODE z rejestru PWR\_CR5.
    - Skonfiguruj i przełącz na nową częstotliwość systemową.
    - Poczekaj co najmniej 1µs, a następnie ponownie skonfiguruj prescaler AHB, aby uzyskać wymaganą częstotliwość zegara HCLK.

Sekwencja przełączania Zakresu 1 z trybu Normalnego do trybu Wzmocnienia jest następująca:

1. Ustaw bit R1MODE w rejestrze PWR\_CR5.
2. Dostosuj liczbę stanów oczekiwania zgodnie z nowym celem częstotliwości w domyślnym trybie Zakresu 1.
3. Skonfiguruj i przełącz na nową częstotliwość systemową.

Sekwencja przełączania Zakresu 1 z trybu Wzmocnienia do trybu Normalnego jest następująca:

1. Ustaw bit R1MODE w rejestrze PWR\_CR5.
2. Dostosuj liczbę stanów oczekiwania zgodnie z nowym celem częstotliwości w domyślnym trybie Zakresu 1.
3. Skonfiguruj i przełącz na nową częstotliwość systemową.

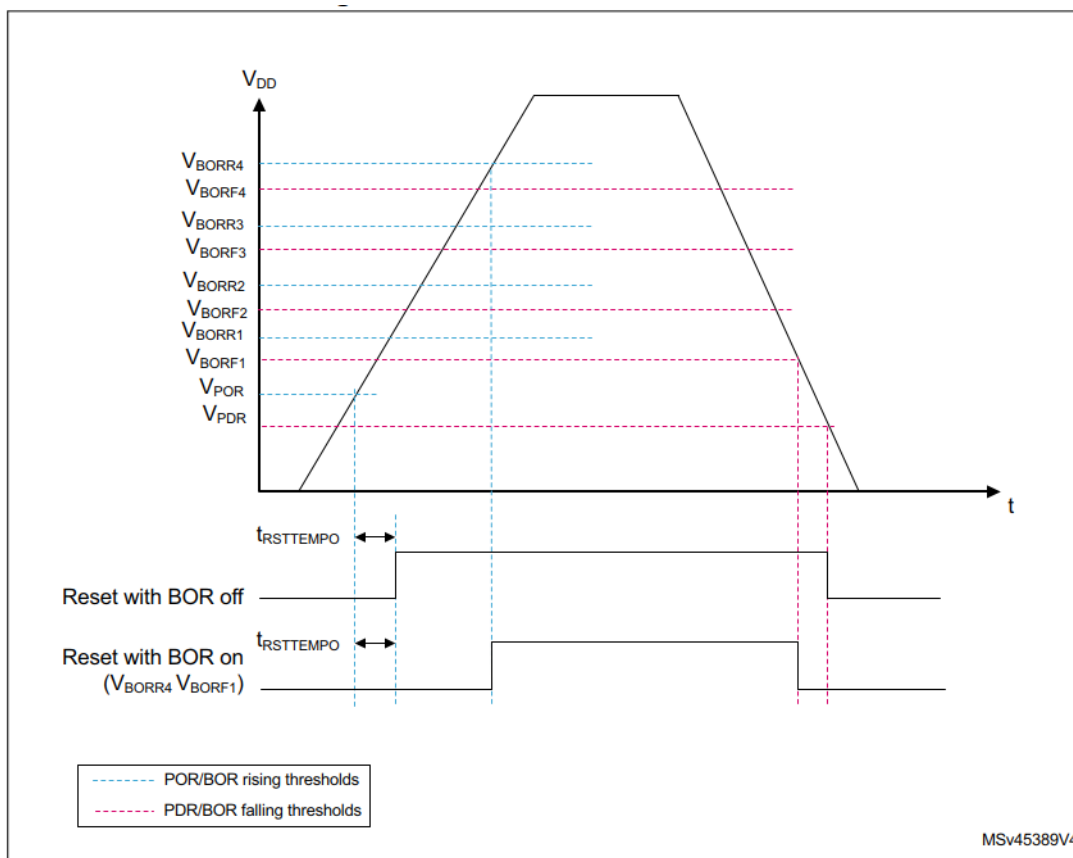
## 4.2. Kontrola stanu zasilania

### 4.2.1. Reset po włączeniu zasilania (POR) / reset po wyłączeniu zasilania (PDR) / reset awaryjny (BOR)

Urządzenie STM32 ma zintegrowane obwody generujące reset po włączeniu zasilania (POR) / reset po zaniku zasilania (PDR), i resetu awaryjnego w przypadku wykrycia spadku poziomu zasilania poniżej zadanego progu (BOR – brown-out reset). BOR jest aktywny we wszystkich trybach zasilania z wyjątkiem trybu Shutown i nie można go zdeaktywować.

Za pomocą bajtów opcji można wybrać pięć progów BOR.

Podczas włączania zasilania urządzenia, BOR wstrzymuje reset układów, dopóki napięcie zasilania  $V_{DD}$  nie osiągnie określonego progu  $V_{BORx}$ . Kiedy  $V_{DD}$  spadnie poniżej wybranego progu  $V_{BORx}$  generowany jest reset urządzenia. Kiedy  $V_{DD}$  przekroczy górną granicę  $V_{BORx}$ , polecenie resetu urządzenia zostanie uwolnione i system może się uruchomić.



Adnotacja. Czas resetowania  $t_{RSTTEMPO}$  jest uwzględniany tylko dla najniższego progu BOR ( $V_{BOR0}$ ).

Rysunek 7 Przebieg resetowania z wykorzystaniem BOR

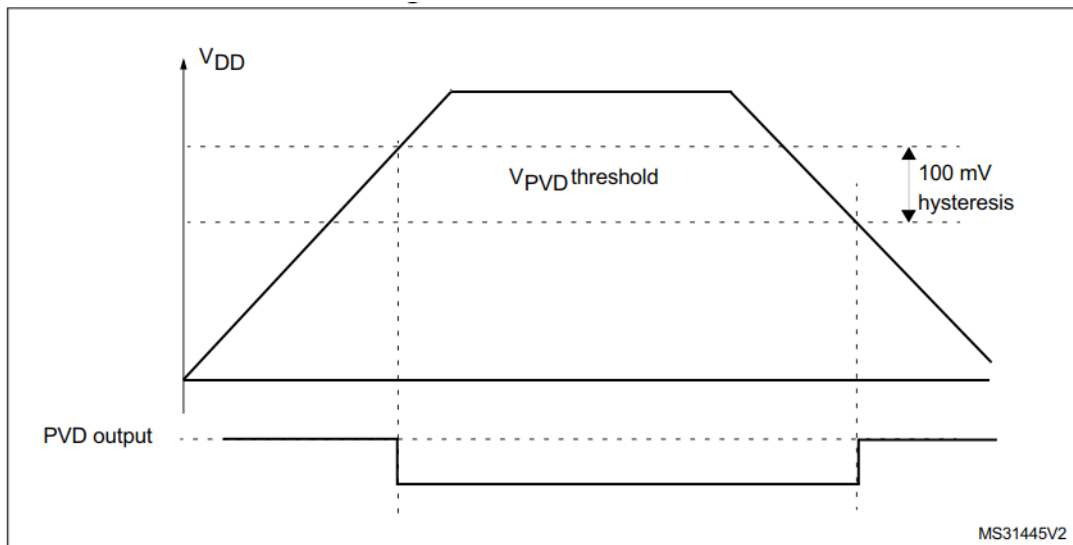
#### 4.2.2. Programowalny detektor napięcia (PVD)

PVD można użyć do monitorowania napięcia  $V_{DD}$  zasilacza poprzez porównanie go z progiem wybranym przez bity PLS [2: 0] w rejestrze *Power control register 2 (PWR\_CR2)*.

PVD jest włączany przez ustawienie bitu PVDE.

Flaga PVDO jest dostępna, w rejestrze *Power status register 2 (PWR\_SR2)*, aby wskazać, czy  $V_{DD}$  jest wyższe czy niższe niż próg PVD. To wydarzenie jest wewnętrznie połączone z EXTI line16 i może generować przerwanie, jeśli jest włączone przez rejestry EXTI. Przerwanie wyjścia PVD może zostać wygenerowane, gdy  $V_{DD}$  spadnie poniżej progu PVD i / lub gdy  $V_{DD}$  wzrośnie powyżej progu PVD w zależności od kształtu przebiegu narastania / opadania EXTI line16.

Przykładowo procedura serwisowa może wywoływać zadania wyłączenia awaryjnego.



Rysunek 8 Progi PVD

#### 4.2.3. Monitorowanie napięcia peryferiów (PVM)

Domyślnie monitorowany jest tylko  $V_{DD}$ , ponieważ jest to jedyne źródło zasilania wymagane dla wszystkich funkcji związanych z systemem.  $V_{DDA}$  może być niezależny od  $V_{DD}$  i może być monitorowany za pomocą dwóch monitorów napięcia obwodowego (PVM).

Każdy z czterech stanów PVMx ( $x = 1,2$ ) jest wskaźnikiem różnicy pomiędzy stałym progiem  $V_{PVMx}$  a napięciem zasilacza  $V_{DDA}$ . Flagi PVM0x wskazują, czy niezależne napięcie zasilania jest wyższe czy niższe niż próg PVMx: Flaga PVM0x jest kasowana, gdy napięcie zasilania jest wyższe niż próg PVMx, i ustawiana, gdy napięcie zasilania jest niższe niż próg PVMx.

Każde wyjście PVM jest podłączone do linii EXTI i może generować przerwanie, jeśli jest aktywowane przez rejestry EXTI. Przerwanie wyjścia PVMx jest generowane, gdy niezależne źródło zasilania spadnie poniżej progu PVMx i / lub gdy wzrośnie powyżej progu PVMx, w zależności od kształtu przebiegu narastania / opadania linii EXTI.

Każdy PVM może pozostać aktywny w trybach Stop 0 i Stop 1, a przerwanie PVM można wywołać z trybu Stop.

Tabela 19 Funkcje PVM

PVM	Power supply	PVM threshold	EXTI line
PVM1	V <sub>DDA</sub>	V <sub>PVM1</sub> (around 1.65 V)	40
PVM2	V <sub>DDA</sub>	V <sub>PVM2</sub> (around 1.8 V)	41

Niezależne zasilanie analogowe V<sub>DDA</sub> nie jest domyślnie dostępne i zastosowano logiczną i elektryczną izolację, aby zignorować wszelkie informacje pochodzące z urządzeń peryferyjnych zasilanych przez to dedykowane źródło.

- Jeśli V<sub>DDA</sub> jest spięte zewnętrznie do V<sub>DD</sub>, to aplikacja powinna założyć, że jest dostępne bez włączania monitorowania napięcia peryferyjnego PVM.
- Jeśli V<sub>DDA</sub> jest niezależne od V<sub>DD</sub>, można aktywować monitorowanie napięcia obwodowego (PVM), aby potwierdzić, czy zasilanie V<sub>DDA</sub> jest obecne, czy nie.

### 4.3. Tryby niskiego poboru mocy

Domyślnie mikrokontroler znajduje się w trybie Run po resecie systemu lub zasilania. Dostępnych jest kilka trybów niskiego zużycia energii w celu jej oszczędzania gdy procesor nie musi być aktywny, na przykład podczas oczekiwania na zdarzenie zewnętrzne. To użytkownik musi wybrać tryb, który daje najlepszy kompromis między niskim zużyciem energii, krótkim czasem uruchamiania i dostępnymi do wywołania źródłami.

Urządzenie STM32 ma siedem trybów niskiego poboru mocy:

- Tryb uśpienia (Sleep mode): wyłączony zegar procesora, wszystkie urządzenia peryferyjne, w tym Cortex®-M4 z rdzeniami urządzeń peryferyjnych FPU, takimi jak NVIC, SysTick itp., mogą uruchamiać i wzbudzić procesor, gdy nastąpi przerwanie lub zdarzenie.
- Tryb niskiego poboru mocy (Low-power run mode): Tryb jest osiągniany, gdy częstotliwość zegara procesora spadnie poniżej 2 MHz. Kod jest wykonywany z pamięci SRAM lub Flash. Regulator znajduje się w trybie niskiego poboru mocy, aby zminimalizować prąd roboczy.
- Tryb uśpienia niskiej mocy (Low-power sleep mode): Tryb ten włącza się z trybu niskiego poboru mocy gdy procesor Cortex®-M4 z FPU jest wyłączony.
- Tryby Stop 0 i Stop 1 (Stop 0 and Stop 1 modes): SRAM i wszystkie rejestry zostają zachowane. Wszystkie zegary w domenie V<sub>CORE</sub> są zatrzymane, PLL, HSI16 i HSE są wyłączone. LSI i LSE mogą być nadal uruchomione. RTC i TAMP mogą pozostać aktywne (Stop mode with RTC, Stop mode without RTC). Niektóre urządzenia peryferyjne z funkcją budzenia mogą włączyć HSI16 RC w trybie zatrzymania w celu wykrycia ich stanu wywołania. W trybie Stop 0 główny regulator pozostaje WŁĄCZONY, co pozwala na najszybszy czas wzbudzenia, ale przy większym zużyciu mocy. Aktywne urządzenia peryferyjne i źródła wywoływane są takie same jak w trybie Stop 1. Podczas wychodzenia z trybu Stop 0 lub Stop 1 zegar systemowy jest zegarem oscylatora HSI16. Jeśli urządzenie jest skonfigurowane do wzbudzenia się w trybie niskiego poboru mocy, bity HPRE w rejestrze RCC\_CFGR muszą zostać skonfigurowane przed przejściem do trybu Stop, aby częstotliwość nie była większa niż 2 MHz.
- Tryb czuwania (Standby mode): domena V<sub>CORE</sub> jest wyłączona. Możliwe jest jednak zachowanie zawartości SRAM:
  - Tryb czuwania z zachowaniem SRAM2 jest aktywny gdy bit RRS jest ustawiony w rejestrze PWR\_CR3. W tym przypadku SRAM2 jest zasilany przez regulator niskiej mocy.

- Tryb czuwania jest aktywny gdy bit RRS jest kasowany w rejestrze PWR\_CR3. W takim przypadku główny regulator i regulator niskiej mocy są wyłączone.

Wszystkie zegary w domenie  $V_{CORE}$  są zatrzymane, PLL, HSI16 i oscylator HSE są wyłączone. LSI i LSE mogą być nadal uruchomione.

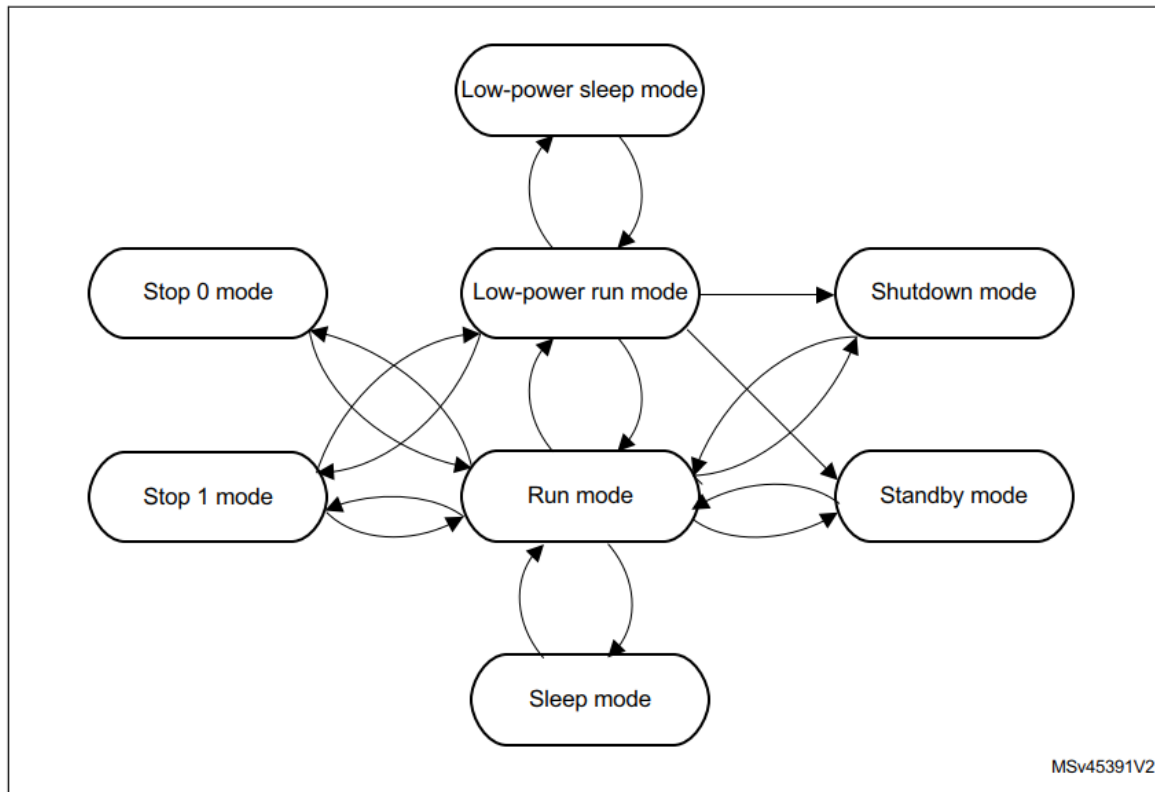
RTC może pozostać aktywny (Standby mode with RTC, Standby mode without RTC).

W czasie wychodzenia z trybu czuwania zegar systemowy, przyjmuje częstotliwość oscylatora HSI16.

- Tryb zamykania (Shutdown mode): domena  $V_{CORE}$  jest wyłączona. Wszystkie zegary w domenie  $V_{CORE}$  są zatrzymane, PLL, HSI16, LSI i HSE są wyłączone. LSE może być nadal uruchomiony. W czasie wychodzenia z trybu zamykania zegar systemowy, przyjmuje częstotliwość oscylatora HSI16. W tym trybie monitorowanie napięcia zasilania jest wyłączone, a w przypadku spadku napięcia zasilania zachowanie urządzenia nie jest gwarantowane.

Ponadto zużycie energii w trybie pracy (Run mode) można zmniejszyć w jeden z następujących sposobów:

- Spowolnienie zegarów systemowych
- Przekazywanie zegarów do urządzeń peryferijnych APB i AHB, gdy nie są używane.



Rysunek 9 Możliwe transformacje w trybach niskiej mocy

Tabela 20 Podsumowanie trybów niskiej mocy

Mode name	Entry	Wakeup source <sup>(1)</sup>	Wakeup system clock	Effect on clocks	Voltage regulators	
					MR	LPR
Sleep (Sleep-now or Sleep-on-exit)	WFI or Return from ISR	Any interrupt	Same as before entering Sleep mode	CPU clock OFF no effect on other clocks or analog clock sources	ON	ON
	WFE	Wakeup event				
Low-power run	Set LPR bit	Clear LPR bit	Same as Low-power run clock	None		
Low-power sleep	Set LPR bit + WFI or Return from ISR	Any interrupt	Same as before entering Low-power sleep mode	CPU clock OFF no effect on other clocks or analog clock sources	OFF	
	Set LPR bit + WFE	Wakeup event				
Stop 0	LPMS="000" + SLEEPDEEP bit + WFI or Return from ISR or WFE	Any EXTI line (configured in the EXTI registers) Specific peripherals events	HSI16	All clocks OFF except LSI and LSE	ON	
Stop 1	LPMS="001" + SLEEPDEEP bit + WFI or Return from ISR or WFE					
Standby with SRAM2	LPMS="011" + Set RRS bit + SLEEPDEEP bit + WFI or Return from ISR or WFE	WKUP pin edge, RTC event, TAMP event, external reset on NRST pin, IWDG reset			OFF	
Standby	LPMS="011" + Clear RRS bit + SLEEPDEEP bit + WFI or Return from ISR or WFE					
	Shutdown				LPMS="1.." + SLEEPDEEP bit + WFI or Return from ISR or WFE	



Tabela 21 Funkcjonalności zależne od trybu pracy

Peripheral	Run	Sleep	Low-power run	Low-power sleep	Stop 0/1		Standby		Shutdown		VBAT
					-	Wakeup capability	-	Wakeup capability	-	Wakeup capability	
CPU	Y	-	Y	-	-	-	-	-	-	-	-
Flash memory	O <sup>(2)</sup>	O <sup>(2)</sup>	O <sup>(2)</sup>	O <sup>(2)</sup>	-	-	-	-	-	-	-
SRAM1	Y	Y <sup>(3)</sup>	Y	Y <sup>(3)</sup>	Y	-	-	-	-	-	-
SRAM2	Y	Y <sup>(3)</sup>	Y	Y <sup>(3)</sup>	Y	-	O <sup>(4)</sup>	-	-	-	-
CCM SRAM	Y	Y <sup>(3)</sup>	Y	Y <sup>(3)</sup>	Y	-	-	-	-	-	-
FSMC	O	O	O	O	-	-	-	-	-	-	-
QUADSPI	O	O	O	O	-	-	-	-	-	-	-
Backup Registers	Y	Y	Y	Y	Y	-	Y	-	Y	-	Y
Brown-out reset (BOR)	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-
Programmable Voltage Detector (PVD)	O	O	O	O	O	O	-	-	-	-	-
Peripheral Voltage Monitor (PVM)	O	O	O	O	O	O	-	-	-	-	-
DMA	O	O	O	O	-	-	-	-	-	-	-
Oscillator HSI16	O	O	O	O	<sup>(5)</sup>	-	-	-	-	-	-
Oscillator HSI48	O	O	-	-	-	-	-	-	-	-	-
High Speed External (HSE)	O	O	O	O	-	-	-	-	-	-	-
Low Speed Internal (LSI)	O	O	O	O	O	-	O	-	-	-	-
Low Speed External (LSE)	O	O	O	O	O	-	O	-	O	-	O
Clock Security System (CSS)	O	O	O	O	-	-	-	-	-	-	-
Clock Security System on LSE	O	O	O	O	O	O	O	O	-	-	-
RTC / Auto wakeup	O	O	O	O	O	O	O	O	O	O	O
Number of RTC Tamper pins	3	3	3	3	3	O	3	O	3	O	3
USB	O <sup>(8)</sup>	O <sup>(8)</sup>	-	-	-	O	-	-	-	-	-
USARTx (x=1,2,3,4,5)	O	O	O	O	O <sup>(6)</sup>	O <sup>(6)</sup>	-	-	-	-	-
Low-power UART (LPUART1)	O	O	O	O	O <sup>(6)</sup>	O <sup>(6)</sup>	-	-	-	-	-
I2Cx (x=1,2,3,4)	O	O	O	O	O <sup>(7)</sup>	O <sup>(7)</sup>	-	-	-	-	-



Peripheral	Run	Sleep	Low-power run	Low-power sleep	Stop 0/1		Standby		Shutdown		VBAT
					-	Wakeup capability	-	Wakeup capability	-	Wakeup capability	
SPIx (1,2,3,4)	O	O	O	O	-	-	-	-	-	-	-
FDCANx (1,2,3)	O	O	O	O	-	-	-	-	-	-	-
SAI1	O	O	O	O	-	-	-	-	-	-	-
ADCx (x=1,2,3,4,5)	O	O	O	O	-	-	-	-	-	-	-
DACx (x=1,2,3,4)	O	O	O	O	O	-	-	-	-	-	-
VREFBUF	O	O	O	O	O	-	-	-	-	-	-
OPAMPx (x=1,2,3,4,5,6)	O	O	O	O	O	-	-	-	-	-	-
COMPx (x=1,2,3,4,5,6,7)	O	O	O	O	O	O	-	-	-	-	-
Temperature sensor	O	O	O	O	-	-	-	-	-	-	-
Timers (TIMx)	O	O	O	O	-	-	-	-	-	-	-
High resolution timer 1 (HRTIM1)	O	O	O	O	-	-	-	-	-	-	-
Low-power timer 1 (LPTIM1)	O	O	O	O	O	O	-	-	-	-	-
Independent watchdog (IWDG)	O	O	O	O	O	O	O	O	-	-	-
Window watchdog (WWDG)	O	O	O	O	-	-	-	-	-	-	-
SysTick timer	O	O	O	O	-	-	-	-	-	-	-
Random number generator (RNG)	O <sup>(8)</sup>	O <sup>(8)</sup>	-	-	-	-	-	-	-	-	-
AES hardware accelerator	O	O	O	O	-	-	-	-	-	-	-
CRC calculation unit	O	O	O	O	-	-	-	-	-	-	-
GPIOs	O	O	O	O	O	O	<sup>(9)</sup> 5 pins (10)	<sup>(11)</sup> 5 pins (10)	-	-	-
Filter Mathematical Accelerator (FMAC)	O	O	O	O	-	-	-	-	-	-	-
CORDIC co-processor (CORDIC)	O	O	O	O	-	-	-	-	-	-	-

Adnotacje:

1. Legenda:

Y = Tak (Włącz).

O = Opcjonalne (domyślnie wyłączone, może być włączone przez oprogramowanie).

- = Niedostępne, wybudzenie podświetlone na szaro.

2. Pamięć Flash można skonfigurować w trybie wyłączania (power-down). Domyślnie pamięć nie jest w trybie wyłączania.

3. Zegar SRAM można włączać i wyłączać.

4. Zawartość SRAM2 zostaje zachowana, gdy bit RRS jest ustawiony w rejestrze PWR\_CR3.

5. Niektóre urządzenia peryferyjne z funkcją wzbudzania przy wyjściu z trybu Stop mogą żądać włączenia HSI16. W tym przypadku HSI16 jest wzbudzany przez urządzenie peryferyjne i współpracuje tylko z urządzeniem, które o to poprosiło. HSI16 jest automatycznie wyłączany, gdy urządzenie peryferyjne nie potrzebuje go więcej.

6. Nasłuch UART i LPUART działa w trybie Stop i generuje przerwanie przy przejściu w tryb Start, dopasowania adresu lub odebrania ramki zdarzenia.

7. Wykrywanie adresu I2C działa w trybie Stop i generuje przerwanie wybudzenia w przypadku dopasowania adresu.

8. Skalowanie napięcia tylko w Zakresie 1.

Projekt pt. „Prace rozwojowe oraz testy w warunkach rzeczywistych autonomicznego i inteligentnego sterownika” nr Umowy z Województwem Łódzkim, w imieniu którego działa Centrum Obsługi Przedsiębiorcy: **RPLD.01.02.02-10-0006/18-00** realizowany w ramach Poddziałania I.2.2 Regionalnego Programu Operacyjnego Województwa Łódzkiego na lata 2014-2020 współfinansowanego ze środków Europejskiego Funduszu Rozwoju Regionalnego.

9. We / wy można skonfigurować z wewnętrznym dopasowaniem pull-up, pull-down or floating w trybie gotowości.

10. We / wy z funkcją wybudzenia ze stanu gotowości / wyłączenia to: PA0, PC13, PE6, PA2, PC5.

11. We / wy można skonfigurować z wewnętrznym dopasowaniem pull-up, pull-down or floating w trybie Shutdown, ale konfiguracja jest tracona po wyjściu z trybu Shutdown.

### Tryb debugowania

Domyślnie miejsce debugowania zostaje utracone, jeśli aplikacja przełącza MCU w tryb Stop 0, Stop1, Standby lub Shutdown podczas korzystania z funkcji debugowania. Wynika to z faktu, że Cortex®-M4 z rdzeniem FPU nie jest już wtedy taktowany.

Jednak przez ustawienie niektórych bitów konfiguracyjnych w rejestrze DBGMCU\_CR oprogramowanie można debugować, nawet jeśli intensywnie używa się trybów niskiego poboru mocy.

## 4.3.1. Tryb pracy

### Spowolnienie zegarów systemowych

W trybie pracy prędkość zegarów systemowych (SYSCLK, HCLK, PCLK) można zmniejszyć, programując rejestry prescalera. Te prescalery można również wykorzystać do spowolnienia urządzeń peryferyjnych przed przejściem do trybu uśpienia.

### Sterowanie zegarem peryferiów

W trybie pracy HCLK i PCLK dla poszczególnych urządzeń peryferyjnych i pamięci można zatrzymać w dowolnym momencie, aby zmniejszyć zużycie energii.

Aby dodatkowo zmniejszyć zużycie energii w trybie uśpienia, zegary peryferyjne można wyłączyć przed wykonaniem instrukcji WFI lub WFE.

Sterowanie zegarem peryferyjnym jest kontrolowane przez rejestry RCC\_AHBxENR i RCC\_APBxENR.

Wyłączenie zegarów urządzeń peryferyjnych w trybie uśpienia można wykonać automatycznie przez zresetowanie odpowiedniego bitu w rejestrach RCC\_AHBxSMENR i RCC\_APBxSMENR.

## 4.3.2. Praca w trybie niskiego poboru mocy (LP run mode)

Aby dodatkowo zmniejszyć zużycie, gdy system jest w trybie pracy, regulator można skonfigurować w trybie niskiego poboru mocy. W tym trybie częstotliwość procesora nie powinna przekraczać 2 MHz.

Więcej informacji na temat regulatora napięcia i warunków pracy urządzeń peryferyjnych znajduje się w karcie produktu.

### Stany we / wy w trybie pracy przy niskim zużyciu energii

W trybie pracy przy niskim zużyciu energii wszystkie piny we / wy zachowują ten sam stan, co w trybie pracy.

### Wejście w tryb pracy przy niskim zużyciu energii

Aby przejść do trybu pracy przy niskim zużyciu energii, wykonaj następujące czynności:

1. Opcjonalnie: Przeskocz do SRAM i wyłącz pamięć Flash, ustawiając bit RUN\_PD w rejestrze kontroli dostępu Flash (FLASH\_ACR).
2. Zmniejsz częstotliwość zegara procesora poniżej 2 MHz.
3. Wymuś przejście regulatora w trybie niskiego poboru mocy, ustawiając bit LPR w rejestrze PWR\_CR1.

### Wyjście z trybu pracy przy niskim zużyciu energii

Aby wyjść z trybu pracy przy niskim zużyciu energii, wykonaj następujące czynności:

1. Wymuś przejście regulatora w trybie głównym, usuwając bit LPR z rejestru PWR\_CR1.
2. Poczekaj, aż bit REGLPF zostanie wyczyszczony w rejestrze PWR\_SR2.
3. Zwiększ częstotliwość taktowania procesora.

Szczegóły w tabeli poniżej

Tabela 22 Praca w trybie LP run

Low-power run mode	Description
Mode entry	Decrease the CPU clock frequency below 2 MHz LPR = 1
Mode exit	LPR = 0 Wait until REGLPF = 0 Increase the CPU clock frequency
Wakeup latency	Regulator wakeup time from low-power mode

### 4.3.3. Tryby niskiego zużycia energii (Low power modes)

#### Wejście w tryb niskiego zużycia energii

Tryby niskiego poboru mocy są wprowadzane przez MCU poprzez wykonanie instrukcji WFI (Wait For Interrupt) lub WFE (Wait for Event), lub gdy bit SLEEPONEXIT w Cortex®-M4 z rejestrem kontroli systemu FPU jest ustawiony na Return from ISR.

Przejdzie do trybu niskiego poboru mocy przez WFI lub WFE zostanie wykonane tylko wtedy, gdy nie będzie wywołane żadne przerwanie lub zdarzenie.

#### Wyjście z trybu niskiego zużycia energii

W trybach uśpienia i zatrzymania (Sleep modes, and Stop modes ) MCU wychodzi z trybu niskiego zużycia energii w zależności od sposobu wejścia w ten tryb:

- Jeśli do przejścia w tryb niskiego poboru mocy użyto instrukcji WFI lub Return from ISR, każde przerwanie peryferyjne potwierdzone przez NVIC może wzbudzić urządzenie.
- Jeśli instrukcja WFE zostanie użyta do przejścia w tryb niskiego poboru mocy, MCU wychodzi z trybu niskiego poboru mocy, gdy tylko nastąpi jakieś zdarzenie. Zdarzenie wzbudzenia można wygenerować przez:
  - Przerwanie NVIC IRQ.
    - Gdy SEVONPEND = 0 w Cortex®-M4 z rejestrem kontroli systemu FPU.  
Poprzez umożliwienie przerwania w peryferyjnym rejestrze sterującym i w NVIC. Kiedy MCU wznawia pracę z WFE, bit oczekiwania na przerwanie peryferyjne i bit oczekiwania na przerwanie w rejestrze czyszczenia oczekiwania na przerwanie NVIC muszą zostać usunięte.  
Tylko przerwania NVIC o wystarczającym priorytecie wywołają wzbudzenie trybu i przerwanie dla MCU.
    - Gdy SEVONPEND = 1 w Cortex®-M4 z rejestrem kontroli systemu FPU.  
Poprzez umożliwienie przerwania w peryferyjnym rejestrze kontrolnym i opcjonalnie w NVIC. Kiedy MCU wznawia pracę z WFE, bit oczekiwania na przerwanie peryferyjne i bit oczekiwania na przerwanie w rejestrze czyszczenia oczekiwania na przerwanie NVIC muszą zostać usunięte.  
Wszystkie przerwania NVIC wzbudzają MCU, nawet te wyłączone. Tylko przerwania NVIC o wystarczającym priorytecie wywołają wzbudzenie trybu i przerwanie dla MCU.
  - Wydarzenie  
Poprzez konfigurowanie linii EXTI w trybie zdarzenia. Gdy procesor wznawia pracę z WFE, nie jest konieczne kasowanie w EXTI bitu oczekiwania przerwania peryferyjnych lub gdy bity oczekiwania w kanale NVIC IRQ odpowiadające linii zdarzenia nie są ustawione.  
Konieczne może być usunięcie flagi przerwania w urządzeniu peryferyjnym.

W trybów gotowości i trybów wyłączenia (Standby modes i Shutdown modes) MCU wychodzi z trybu niskiego poboru mocy poprzez reset zewnętrzny (pin NRST), reset IWDG, gdy pojawi się wzrost napięcia na jednym z dostępnych pinów WKUPx lub nastąpi zdarzenie RTC.

Po wzbudzeniu z trybu gotowości lub wyłączenia, wykonanie programu uruchamia się ponownie w taki sam sposób, jak po resecie (próbkowanie pinów rozruchowych, ładowanie bajtów opcji, pobieranie wektora resetowania itp.).

#### 4.3.4. Tryb uśpienia (Sleep mode)

##### Stany we / wy w trybie uśpienia

W trybie uśpienia wszystkie piny we / wy zachowują ten sam stan, co w trybie pracy.

##### Wejście w tryb uśpienia

Tryb uśpienia jest wprowadzany gdy bit SLEEPDEEP w Cortex<sup>®</sup>-M4 z rejestrem kontroli systemu FPU jest czysty.

##### Wyjście z trybu uśpienia

Tryb uśpienia kończy się w taki sam sposób jak opisany w akapicie **Wyjście z trybu niskiego zużycia energii** (patrz wyżej).

Tabela 23 Tryb uśpienia (Sleep)

Sleep-now mode	Description
Mode entry	WFI (Wait for Interrupt) or WFE (Wait for Event) while: – SLEEPDEEP = 0 – No interrupt (for WFI) or event (for WFE) is pending Refer to the Cortex <sup>®</sup> -M4 with FPU System Control register.
	On return from ISR while: – SLEEPDEEP = 0 and – SLEEPONEXIT = 1 – No interrupt is pending Refer to the Cortex <sup>®</sup> -M4 with FPU System Control register.
Mode exit	If WFI or return from ISR was used for entry Interrupt: refer to <a href="#">Table 3: STM32L41xxx/42xxx/43xxx/44xxx/45xxx/46xxx vector table</a> If WFE was used for entry and SEVONPEND = 0: Wakeup event: refer to <a href="#">Section 2.3.2: Wakeup event management</a> If WFE was used for entry and SEVONPEND = 1: Interrupt even when disabled in NVIC: refer to <a href="#">Table 3: STM32L41xxx/42xxx/43xxx/44xxx/45xxx/46xxx vector table</a> or Wakeup event: refer to <a href="#">Section 2.3.2: Wakeup event management</a>
Wakeup latency	None

#### 4.3.5. Tryb uśpienia niskiej mocy (LP sleep mode)

Więcej informacji na temat regulatora napięcia i warunków pracy urządzeń peryferyjnych znajduje się w karcie produktu STM32.

##### Stany we / wy w trybie uśpienia przy niskiej mocy

W trybie uśpienia przy niskim zużyciu energii wszystkie piny we / wy zachowują ten sam stan, co w trybie pracy.

##### Wejście w tryb uśpienia przy niskiej mocy

Tryb uśpienia przy niskiej mocy jest wprowadzany z trybu pracy niskiej mocy gdy bit SLEEPDEEP w Cortex<sup>®</sup>-M4 z rejestrem kontroli systemu FPU jest czysty.

##### Wyjście z trybu uśpienia przy niskiej mocy

Tryb uśpienia przy niskiej mocy kończy się w taki sam sposób jak opisany w akapicie **Wyjście z trybu niskiego zużycia energii** (patrz wyżej). Wychodząc z trybu uśpienia o niskiej mocy poprzez przerwanie lub zdarzenie, MCU znajduje się w trybie niskiego poboru mocy.

Tabela 24 Tryb Uśpienia przy niskim poborze mocy (Low-power Sleep)

Low-power sleep-now mode	Description
Mode entry	Low-power sleep mode is entered from the Low-power run mode. WFI (Wait for Interrupt) or WFE (Wait for Event) while: – SLEEPDEEP = 0 – No interrupt (for WFI) or event (for WFE) is pending Refer to the Cortex®-M4 with FPU System Control register.
	Low-power sleep mode is entered from the Low-power run mode. On return from ISR while: – SLEEPDEEP = 0 and – SLEEPONEXIT = 1 – No interrupt is pending Refer to the Cortex®-M4 with FPU System Control register.
Mode exit	If WFI or Return from ISR was used for entry Interrupt: refer to <a href="#">Table 86: STM32G4 Series vector table</a> If WFE was used for entry and SEVONPEND = 0: Wakeup event: refer to <a href="#">Section 2.3.2: Wakeup event management</a> If WFE was used for entry and SEVONPEND = 1: Interrupt even when disabled in NVIC: refer to <a href="#">Table 86: STM32G4 Series vector table</a> Wakeup event: refer to <a href="#">Section 2.3.2: Wakeup event management</a> After exiting the Low-power sleep mode, the MCU is in Low-power run mode.
Wakeup latency	None

#### 4.3.6. Tryb zatrzymania 0 (Stop 0 mode)

Tryb Stop 0 jest oparty jest na trybem głębokiego uśpienia (deepsleep mode) dla Cortex®-M4 z FPU w połączeniu ze sterowaniem zegarem peryferyjnym. Regulator napięcia jest skonfigurowany w trybie regulatora głównego. W trybie Stop 0, wszystkie zegary w domenie  $V_{CORE}$  są zatrzymane; PLL, oscylatory HSI16 i HSE są wyłączone. Niektóre urządzenia peryferyjne z funkcją budzenia (I2Cx ( $x = 1,2,3,4$ ), U(S)ARTx ( $x = 1,2 \dots 5$ ) i LPUART) mogą włączyć HSI16 w celu odebrania ramki, oraz wyłączyć HSI16 po otrzymaniu ramki, o ile nie jest to ramka wzbudzenia. W takim przypadku zegar HSI16 jest propagowany tylko do urządzenia peryferyjnego, które go żąda.

SRAM1, SRAM2, CCM SRAM i zawartości rejestru są zachowane.

BOR jest zawsze dostępny w trybie Stop 0. Zużycie mocy wzrasta, gdy stosowane są progi wyższe niż  $V_{BOR0}$ .

#### Stany we / wy w trybie zatrzymania Stop 0

W trybie Stop 0 wszystkie piny we / wy zachowują ten sam stan, co w trybie Run.

#### Wejście w tryb Stop 0

Tryb Stop 0 jest wprowadzany w taki sam sposób jak opisany w akapicie **Wejście w tryb niskiego zużycia energii** (patrz wyżej), adekwatnie do ustawienia bitu SLEEPDEEP w rejestrze w Cortex®-M4 z FPU.

Jeśli trwa programowanie pamięci Flash, wejście w tryb Stop 0 jest opóźnione do momentu zakończenia dostępu do pamięci.

Jeśli dostęp do domeny APB jest w toku, wejście w tryb Stop 0 jest opóźnione do momentu zakończenia dostępu APB.

W trybie Stop 0 można ustawić następujące funkcje, programując poszczególne bity sterowania:

- Niezależny watchdog (IWDG): IWDG jest uruchamiany przez zapis do rejestru kluczy lub opcje sprzętową. Po uruchomieniu nie można go zatrzymać, chyba że przez reset.
- Zegar czasu rzeczywistego (RTC): konfiguruje go bit RTCEN w rejestrze kontroli domeny backupu *Backup domain control register (RCC\_BDCR)*
- Wewnętrzny oscylator RC (LSI): konfiguruje go bit LSION w Rejestrze kontroli / statusu *Control/status register (RCC\_CSR)*.
- Zewnętrzny oscylator 32,768 kHz (LSE): konfiguruje go bit LSEON w rejestrze kontrolnym domeny backupu *Backup domain control register (RCC\_BDCR)*.

Kilka urządzeń peryferyjnych może być używanych w trybie Stop 0 i mogą one zwiększać zużycie energii gdy są one włączone i taktowane przez LSI lub LSE, lub gdy żądają zegara HSI16. Są to: LPTIM1, I2Cx (x = 1,2,3,4) U(S)ARTx (x = 1,2 ... 5), LPUART.

DACx (x = 1,2,3,4), OPAMP i komparatory mogą być również używane w trybie Stop 0. Podobnie PVM i PVD. Jeśli nie są potrzebne, muszą zostać wyłączone przez oprogramowanie, aby oszczędzić zużycie energii.

ADCx (x = 1,2,3,4,5), czujnik temperatury i bufor VREFBUF mogą pobierać energię w trybie Stop 0, chyba że zostaną wyłączone przed wejściem w ten tryb.

### Wyjście z trybu Stop 0

Tryb Stop 0 kończy działanie w taki sam sposób jak opisany w akapicie **Wejście w tryb niskiego zużycia energii** (patrz wyżej).

Podczas wychodzenia z trybu Stop 0 przez wywołanie przerwania lub wzbudzenia zdarzenia, oscylator HSI16 jest wybierany jako zegar systemowy. Jeśli urządzenie jest skonfigurowane do wzbudzenia w trybie niskiego poboru mocy, bity HPRE w rejestrze RCC\_CFGR muszą zostać skonfigurowane przed wejściem w tryb Stop 0, aby zapewnić częstotliwość nie większą niż 2 MHz.

Gdy regulator napięcia działa w trybie niskiego poboru mocy, powstaje dodatkowe opóźnienie rozruchu po wybudzeniu z trybu Stop 0 z wykorzystaniem HSI16. Utrzymując wewnętrzny regulator WŁĄCZONY w trybie Stop 0, zużycie jest wyższe, ale czas uruchamiania jest skrócony.

Wychodząc z trybu Stop 0, MCU znajduje się albo w trybie pracy (Zakres 1 lub Zakres 2 w zależności od bitu VOS w PWR\_CR1) albo w trybie pracy przy niskim zużyciu energii, jeśli bit LPR jest ustawiony w rejestrze sterowania mocą 1 (PWR\_CR1).

### Wyjście z trybu czuwania

Tryb gotowości kończy się zgodnie z sekcją: Wejście w tryb niskiego zużycia energii. Flaga stanu SBF w rejestrze sterowania mocą 3 (PWR\_CR3) wskazuje, że MCU był w trybie gotowości. Wszystkie rejestry są resetowane po wybudzeniu ze stanu wstrzymania, z wyjątkiem rejestru sterowania mocą 3 (PWR\_CR3).

Tabela 25 Tryb Stop 0

Stop 0 mode	Description
Mode entry	WFI (Wait for Interrupt) or WFE (Wait for Event) while: <ul style="list-style-type: none"> <li>– SLEEPDEEP bit is set in Cortex<sup>®</sup>-M4 with FPU System Control register</li> <li>– No interrupt (for WFI) or event (for WFE) is pending</li> <li>– LPMS = "000" in PWR_CR1</li> </ul>
	On Return from ISR while: <ul style="list-style-type: none"> <li>– SLEEPDEEP bit is set in Cortex<sup>®</sup>-M4 with FPU System Control register</li> <li>– SLEEPONEXIT = 1</li> <li>– No interrupt is pending</li> <li>– LPMS = "000" in PWR_CR1</li> </ul>
	<i>Note: To enter Stop 0 mode, all EXTI Line pending bits (in Pending register 1 (EXTI_PR1)), and the peripheral flags generating wakeup interrupts must be cleared. Otherwise, the Stop 0 mode entry procedure is ignored and program execution continues.</i>
Mode exit	<p>If WFI or Return from ISR was used for entry Any EXTI Line configured in Interrupt mode (the corresponding EXTI Interrupt vector must be enabled in the NVIC). The interrupt source can be external interrupts or peripherals with wakeup capability. Refer to <a href="#">Table 86: STM32G4 Series vector table</a>.</p> <p>If WFE was used for entry and SEVONPEND = 0: Any EXTI Line configured in event mode. Refer to <a href="#">Section 2.3.2: Wakeup event management</a>.</p> <p>If WFE was used for entry and SEVONPEND = 1: Any EXTI Line configured in Interrupt mode (even if the corresponding EXTI Interrupt vector is disabled in the NVIC). The interrupt source can be external interrupts or peripherals with wakeup capability. Refer to <a href="#">Table 86: STM32G4 Series vector table</a>. Wakeup event: refer to <a href="#">Section 2.3.2: Wakeup event management</a></p>
Wakeup latency	Longest wakeup time between: HSI16 wakeup time and Flash wakeup time from Stop 0 mode.

#### 4.3.7. Tryb zatrzymania 1(Stop 1 mode)

Tryb Stop 1 jest taki sam, jak tryb Stop 0, z wyjątkiem tego, że główny regulator jest WYŁĄCZONY, a tylko regulator niskiej mocy jest WŁĄCZONY. Do trybu zatrzymania 1 można przejść z trybu pracy oraz z trybu pracy przy niskim zużyciu energii. Szczegóły w tabeli poniżej.



Tabela 26 Tryb Stop 1

Stop 1 mode	Description
Mode entry	WFI (Wait for Interrupt) or WFE (Wait for Event) while: <ul style="list-style-type: none"> <li>– SLEEPDEEP bit is set in Cortex<sup>®</sup>-M4 with FPU System Control register</li> <li>– No interrupt (for WFI) or event (for WFE) is pending</li> <li>– LPMS = "001" in PWR_CR1</li> </ul>
	On Return from ISR while: <ul style="list-style-type: none"> <li>– SLEEPDEEP bit is set in Cortex<sup>®</sup>-M4 with FPU System Control register</li> <li>– SLEEPONEXIT = 1</li> <li>– No interrupt is pending</li> <li>– LPMS = "001" in PWR_CR1</li> </ul>
	<i>Note: To enter Stop 1 mode, all EXTI Line pending bits (in Section 14.5.6: Pending register 1 (EXTI_PR1)), and the peripheral flags generating wakeup interrupts must be cleared. Otherwise, the Stop 1 mode entry procedure is ignored and program execution continues.</i>
Mode exit	<p>If WFI or Return from ISR was used for entry Any EXTI Line configured in Interrupt mode (the corresponding EXTI Interrupt vector must be enabled in the NVIC). The interrupt source can be external interrupts or peripherals with wakeup capability. Refer to <a href="#">Table 86: STM32G4 Series vector table</a>.</p> <p>If WFE was used for entry and SEVONPEND = 0: Any EXTI Line configured in event mode. Refer to <a href="#">Section 14.3.2: Wakeup event management</a>.</p> <p>If WFE was used for entry and SEVONPEND = 1: Any EXTI Line configured in Interrupt mode (even if the corresponding EXTI Interrupt vector is disabled in the NVIC). The interrupt source can be external interrupts or peripherals with wakeup capability. Refer to <a href="#">Table 86: STM32G4 Series vector table</a>. Wakeup event: refer to <a href="#">Section 14.3.2: Wakeup event management</a></p>
Wakeup latency	Longest wakeup time between: HSI16 wakeup time and regulator wakeup time from Low-power mode + Flash wakeup time from Stop 1 mode.

#### 4.3.8. Tryb czuwania (Standby mode)

Tryb czuwania Standby pozwala osiągnąć najniższe zużycie energii dzięki BOR. Opiera się na trybie głębokiego uśpienia dla Cortex<sup>®</sup>-M4 z FPU, z wyłączonymi regulatorami napięcia (oprócz przypadku gdy zawartość SRAM2 jest chroniona). Oscylatory PLL, HSI16 i HSE są również wyłączone.

SRAM1 i zawartości rejestrów są tracone, z wyjątkiem rejestrów w domenie backupu i w obwodzie gotowości Standby. Zawartość SRAM2 może być zachowana, jeśli jest ustawiony bit RRS w rejestrze PWR\_CR3. W takim przypadku regulator niskiej mocy jest włączony i zapewnia zasilanie tylko do SRAM2.

BOR jest zawsze dostępny w trybie gotowości. Zużycie energii wzrasta, gdy stosowane są progi wyższe niż  $V_{BOR0}$ .

##### Stany we / wy w trybie czuwania Standby

W trybie gotowości stany I / O można skonfigurować za pomocą pull-up (w odniesieniu do rejestrów PWR\_PUCRx (x = A, B, C, D, E, F, G)) lub pull-down (w odniesieniu do rejestrów PWR\_PDCRx (x = A, B, C, D, E, F, G)). I / O mogą być utrzymywane także w stanie analogowym.

Wyjścia RTC na PC13 działają w trybie gotowości. PC14 i PC15 używane do LSE również są funkcjonalne. Dostępnych jest 5 pinów wzbudzających (WKUPx, x = 1,2 ... 5) i trzy RTC pomocnicze.

##### Wejście w tryb czuwania

Projekt pt. „Prace rozwojowe oraz testy w warunkach rzeczywistych autonomicznego i inteligentnego sterownika” nr Umowy z Województwem Łódzkim, w imieniu którego działa Centrum Obsługi Przedsiębiorcy: **RPLD.01.02.02-10-0006/18-00** realizowany w ramach Poddziałania I.2.2 Regionalnego Programu Operacyjnego Województwa Łódzkiego na lata 2014-2020 współfinansowanego ze środków Europejskiego Funduszu Rozwoju Regionalnego.



Tryb czuwania jest wprowadzany w taki sam sposób jak opisany w akapicie **Wejście w tryb niskiego zużycia energii** (patrz wyżej), adekwatnie do ustawienia bitu SLEEPDEEP w Cortex®-M4 z FPU.

W trybie czuwania można wybrać następujące funkcje programując poszczególne bity sterujące:

- Niezależny watchdog (IWDG): IWDG jest uruchamiany przez zapis do rejestru kluczy lub opcje sprzętową. Po uruchomieniu nie można go zatrzymać, chyba że przez reset.
- Zegar czasu rzeczywistego (RTC): konfiguruje go bit RTCEN w rejestrze kontroli domeny backupu *Backup domain control register (RCC\_BDCR)*
- Wewnętrzny oscylator RC (LSI): konfiguruje go bit LSION w Rejestrze kontroli / statusu *Control/status register (RCC\_CSR)*.
- Zewnętrzny oscylator 32,768 kHz (LSE): konfiguruje go bit LSEON w rejestrze kontrolnym domeny backupu *Backup domain control register (RCC\_BDCR)*.

### Wyjście z trybu czuwania

Tryb gotowości kończy się w taki sam sposób jak opisany w akapicie **Wejście w tryb niskiego zużycia energii** (patrz wyżej). Flaga statusu SBF w rejestrze sterowania mocą the *Power control register 3 (PWR\_CR3)* wskazuje, że MCU był w trybie gotowości. Wszystkie rejestry są resetowane po wzbudzeniu ze stanu Standby, z wyjątkiem rejestru sterowania mocą *Power control register 3 (PWR\_CR3)*.

Tabela 27 Tryb Standby

Standby mode	Description
Mode entry	WFI (Wait for Interrupt) or WFE (Wait for Event) while: <ul style="list-style-type: none"> <li>– SLEEPDEEP bit is set in Cortex®-M4 with FPU System Control register</li> <li>– No interrupt (for WFI) or event (for WFE) is pending</li> <li>– LPMS = "011" in PWR_CR1</li> <li>– WUFx bits are cleared in power status register 1 (PWR_SR1)</li> </ul>
	On return from ISR while: <ul style="list-style-type: none"> <li>– SLEEPDEEP bit is set in Cortex®-M4 with FPU System Control register</li> <li>– SLEEPONEXIT = 1</li> <li>– No interrupt is pending</li> <li>– LPMS = "011" in PWR_CR1 and</li> <li>– WUFx bits are cleared in power status register 1 (PWR_SR1)</li> <li>– The RTC flag corresponding to the chosen wakeup source (RTC Alarm A, RTC Alarm B, RTC wakeup, tamper or timestamp flags) is cleared</li> </ul>
Mode exit	WKUPx pin edge, RTC event, external Reset in NRST pin, IWDG Reset, BOR reset
Wakeup latency	Reset phase

### 4.3.9. Tryb wyłączenia (Shutdown mode)

Tryb wyłączenia pozwala osiągnąć najniższe zużycie energii. Opiera się na trybie głębokiego uśpienia, z wyłączonym regulatorem napięcia. Domena V<sub>CORE</sub> jest zatem konsekwentnie wyłączony. PLL, oscylatory HSI16, LSI i HSE są również wyłączone.

Zawartość SRAM1, SRAM2, CCM SRAM i zawartości rejestrów są tracone, z wyjątkiem rejestrów w domenie Backup. W trybie Shutdown BOR nie jest dostępny. Także nie jest możliwe monitorowanie napięcia zasilania w tym trybie, dlatego przełączenie do domeny Backup nie jest obsługiwane.

#### Stany we / wy w trybie wyłączenia

We / Wy w trybie wyłączenia można skonfigurować metodą pull-up (w odniesieniu do rejestrów PWR\_PUCRx (x = A, B, C, D, E, F, G) lub pull-down (w odniesieniu do rejestrów PWR\_PDCCRx (x = A, B, C, D, E, F, G)). We / Wy mogą

być także utrzymywane w stanie analogowym. Jednak konfiguracja ta zostaje utracona przy wychodzeniu z trybu wyłączenia z powodu resetu po włączeniu zasilania.

Wyjścia RTC na PC13 działają w trybie Shutdown. PC14 i PC15 używane do LSE są również funkcjonalne. Dostępnych jest 5 pinów wzbudzających (WKUPx, x = 1,2 ... 5) i trzy RTC pomocnicze.

### Wejście w tryb wyłączenia

Tryb wyłączania jest wprowadzany się w taki sam sposób jak opisany w akapicie **Wejście w tryb niskiego zużycia energii** (patrz wyżej), gdy bit SLEEPDEEP jest ustawiony w Cortex<sup>®</sup>-M4 z FPU.

W trybie zamykania, można wybrać następujące funkcje programując poszczególne bity sterujące:

- Zegar czasu rzeczywistego (RTC): konfiguruje go bit RTCEN w rejestrze kontroli domeny Backup *Backup domain control register (RCC\_BDCR)*. Uwaga: w przypadku wyłączenia zasilania  $V_{DD}$  zawartość RTC zostanie utracona.
- Zewnętrzny oscylator 32,768 kHz (LSE): konfiguruje go bit LSEON w rejestrze kontroli domeny Backup *Backup domain control register (RCC\_BDCR)*.

### Wyjście z trybu wyłączenia

Tryb wyłączania kończy w taki sam sposób jak opisany w akapicie **Wejście w tryb niskiego zużycia energii** (patrz wyżej). Po wyjściu z trybu wyłączenia następuje reset po włączeniu (power-on reset). Wszystkie rejestry (oprócz tych w domenie Backup) są resetowane.

Tabela 28 Tryb wyłączenia Shutdown

Shutdown mode	Description
Mode entry	WFI (Wait for Interrupt) or WFE (Wait for Event) while: – SLEEPDEEP bit is set in Cortex <sup>®</sup> -M4 with FPU System Control register – No interrupt (for WFI) or event (for WFE) is pending – LPMS = "1XX" in PWR_CR1 – WUFx bits are cleared in power status register 1 (PWR_SR1)
	On return from ISR while: – SLEEPDEEP bit is set in Cortex <sup>®</sup> -M4 with FPU System Control register – SLEEPONEXT = 1 – No interrupt is pending – LPMS = "1XX" in PWR_CR1 and – WUFx bits are cleared in power status register 1 (PWR_SR1) – The RTC flag corresponding to the chosen wakeup source (RTC Alarm A, RTC Alarm B, RTC wakeup, tamper or timestamp flags) is cleared
Mode exit	WKUPx pin edge, RTC event, external Reset in NRST pin
Wakeup latency	Reset phase

### 4.3.10. Auto-wzbudzenie z trybu niskiego poboru mocy

RTC może być użyty do wybudzenia MCU z trybu niskiego poboru mocy bez uzależnienia od zewnętrznego przerwania (tryb automatycznego wzbudzenia). RTC zapewnia programowalną bazę czasową do wzbudzenia z trybu Stop (0 lub 1) lub czuwania w regularnych odstępach czasu. W tym celu można wybrać dwa z trzech alternatywnych źródeł zegara RTC, programując bity RTCSEL [1: 0] w rejestrze kontroli domeny Backup *Backup domain control register (RCC\_BDCR)*:

- Zewnętrzny oscylator kwarcowy niskiej mocy 32,768 kHz (LSE OSC) To źródło zegara zapewnia precyzyjną bazę czasową przy bardzo niskim zużyciu energii.
- Wewnętrzny oscylator RC niskiej mocy (LSI). Przewagą tego źródła jest oszczędność użytkownika kryształu 32,768 kHz. Ten wewnętrzny oscylator czasu rzeczywistego został zaprojektowany w celu uzyskania minimalnego zużycia energii.

W celu wzbudzenia układu z trybu Stop z wywołanym zdarzeniem alarmowym RTC:

- Skonfiguruj linię EXTI 17, aby była wrażliwa na wzrost krzywej przebiegu napięcia
- Skonfiguruj RTC, aby wygenerował alarm RTC

Aby wzbudzić układ z trybu Standby nie ma potrzeby konfigurowania EXTI Line 17.

Aby wzbudzić układ z trybu Stop ze zdarzeniem wzbudzenia RTC:

- Skonfiguruj linię EXTI 20 tak, aby była wrażliwa na wzrost krzywej przebiegu napięcia
- Skonfiguruj RTC, aby wygenerował alarm RTC

Aby wzbudzić układ z trybu Standby nie trzeba konfigurować EXTI Line 20.

## 4.4. Rejestry kontroli zasilania

### 4.4.1. Rejestr 1 sterowania zasilaniem (PWR\_CR1)

Przesunięcie adresu: 0x00

Wartość resetowania: 0x0000 0200. Rejestr ten jest resetowany po wzbudzeniu z trybu gotowości Standby.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	LPR	Res.	Res.	Res.	VOS[1:0]		DBP	Res.	Res.	Res.	Res.	Res.	LPMS[2:0]		
	rw				rw	rw	rw						rw	rw	rw

Bit 31:15 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 14 **LPR:** Praca przy niskim poborze mocy

Po ustawieniu tego bitu regulator przełącza się z trybu głównego (MR) na tryb niskiego poboru mocy (LPR).

Bit 13:11 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 10: 9 **VOS:** Wybór zakresu skalowania napięcia

00: Nie można zapisać (zabronione przez sprzęt)

01: Zakres 1

10: Zasięg 2

11: Nie można zapisać (zabronione przez sprzęt)

Bit 8 **DBP:** Wyłącza ochronę przed zapisem domeny backup

W stanie resetowania rejestry RTC i zapasowe są chronione przed pasożytniczym dostępem do zapisu.

Ten bit należy uaktywnić, aby umożliwić dostęp do zapisu w tych rejestrach.

0: Wyłączono dostęp do rejestrów RTC i kopii zapasowych

1: Dostęp do rejestrów RTC i kopii zapasowych włączony

Bit 7: 3 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 2: 0 **LPMS [2: 0]:** Wybór trybu niskiego poboru mocy

Te bity ustawiają wprowadzenie trybu niskiego poboru mocy, gdy procesor przechodzi w tryb głębokiego uśpienia.

000: Zatrzymaj tryb Stop 0

001: Zatrzymaj tryb Stop 1

010: Zarezerwowany

011: Tryb gotowości Standby

1xx: Tryb wyłączenia Shutdown

*Uwaga: W trybie gotowości SRAM2 może zostać zachowany lub nie, w zależności od konfiguracji bitu RRS w PWR\_CR3.*

#### 4.4.2. Rejestr 2 sterowania zasilaniem (PWR\_CR2)

Przesunięcie adresu: 0x04

Wartość resetowania: 0x0000 0000. Rejestr ten jest resetowany po wyjściu z trybu gotowości Standby.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	LPR	Res.	Res.	Res.	VOS[1:0]		DBP	Res.	Res.	Res.	Res.	Res.	LPMS[2:0]		
	rw				rw	rw	rw						rw	rw	rw

Bity 31: 8 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 7 **PVMEN2:** Włączenie monitorowania napięcia peryferyjnego 4: VDDA vs. napięcie DAC 1MSPS / DAC 15MSPS min.

0: Wyłączenie PVM2 (monitorowanie  $V_{DDA}$  vs. próg 1,8 V).

1: Włączone PVM2 (monitorowanie  $V_{DDA}$  vs. próg 1,8 V).

Bit 6 **PVMEN1:** Włączenie monitorowania napięcia peryferyjnego 3: VDDA vs. ADC / COMP min. Napięcie 1,62 V.

0: Wyłącz PVM1 (monitorowanie  $V_{DDA}$  vs. próg 1,62V).

1: Włączone PVM1 (monitorowanie  $V_{DDA}$  vs. próg 1,62V).

Bity 5: 4 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 3: 1 **PLS [2: 0]:** Wybór poziomu detektora napięcia zasilania.

Te bity wybierają próg opadania PVD:

000:  $V_{PVD0}$  wokół TBD

001:  $V_{PVD1}$  wokół TBD

010:  $V_{PVD2}$  wokół TBD

011:  $V_{PVD3}$  wokół TBD

100:  $V_{PVD4}$  wokół TBD

101:  $V_{PVD5}$  wokół TBD

110:  $V_{PVD6}$  wokół TBD

111: Zewnętrzne napięcie analogowe wejściowe PVD\_IN (porównane wewnętrznie z  $V_{REFINT}$ )

*Uwaga: Te bity są chronione przed zapisem, gdy bit PVD\_LOCK jest ustawiony w rejestrze SYSCFG\_CFGR2. Ochronę można zresetować tylko poprzez reset systemu.*

Bit 0 **PVDE:** Włączenie detektora napięcia zasilania

0: Detektor napięcia zasilania wyłączony.  
1: Włączenie detektora napięcia zasilania.

*Uwaga: Ten bit jest chroniony przed zapisem, gdy bit PVD\_LOCK jest ustawiony w rejestrze SYSCFG\_CFGR2. Ochronę można zresetować tylko poprzez reset systemu.*

#### 4.4.3. Rejestr 3 sterowania zasilaniem (PWR\_CR3)

Przesunięcie adresu: 0x08

Wartość resetowania: 0x0000 8000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości Standby oraz gdy aktywny jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: aby uzyskać dostęp do tego rejestru potrzebne są dodatkowe cykle APB w porównaniu ze standardowym dostępem APB (3 dla zapisu i 2 dla odczytu).

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIWUL	UCPD1_DBDIS	UCPD1_STDBY	Res.	Res.	APC	Res.	RRS	Res.	Res.	Res.	EWUP 5	EWUP 4	EWUP 3	EWUP 2	EWUP 1
rw	rw	rw			rw		rw				rw	rw	rw	rw	rw

Bity 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 15 **EIWUL**: Aktywacja wewnętrznej linii budzenia

0: Wyłączenie wewnętrznej linii budzenia.  
1: Włączenie wewnętrznej linii budzenia.

Bit 14 **UCPD1\_DBDIS**: Deaktywacja USB Type-C i flagi braku zasilania z baterii (Power Delivery Dead Battery disable).

Po wyjściu z resetowania zostanie włączone zachowanie stanu USB Type-C „rozładowana bateria”, co może spowodować efekt obniżenia napięcia (pull-down) na pinach CC1 i CC2. Zaleca się deaktywację bitu we wszystkich przypadkach, aby zatrzymać efekt pull-down lub przekazać kontrolę do UCPD1 (który w związku z tym powinien zostać zainicjowany przed wykonaniem deaktywacji).

0: Włącz zachowanie odłączania rozładowanego akumulatora USB typu C na pinach UCPD1\_CC1 i UCPD1\_CC2.

1: Wyłącz zachowanie rozładowania rozładowanego akumulatora USB typu C na pinach UCPD1\_CC1 i UCPD1\_CC2.

Bit 13 **UCPD1\_STDBY**: UCPD1\_STDBY Tryby USB Type-C i Power Delivery w stanie gotowości Standby.

0: Wpisz „0” natychmiast po wyjściu z trybu gotowości w przypadku korzystania z UCPD1 (i przed zapisaniem rejestrów UCPD1).

1: Wpisz „1” tuż przed przejściem w tryb gotowości podczas korzystania z UCPD1.

Bity 12:11 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 10 **APC**: Zastosuj konfigurację pull-up i pull-down

Po ustawieniu tego bitu stosowane są konfiguracje pull-up i pull-down dla I/O zdefiniowane w rejestrach PWR\_PUCRx i PWR\_PDCRx. Po wyczyszczeniu tego bitu rejestry PWR\_PUCRx i PWR\_PDCRx nie są stosowane do operacji na I/O.

Bit 9 Zarezerwowany, musi być utrzymywany wartość resetowania.

Bit 8	<p><b>RRS:</b> Przechowywanie zawartości SRAM2 w trybie gotowości Standby</p> <p>0: SRAM2 jest wyłączony w trybie gotowości (zawartość SRAM2 zostaje utracona). 1: SRAM2 jest zasilany przez regulator małej mocy w trybie gotowości (zawartość SRAM2 jest zachowana).</p>
Bity 7: 5	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 4	<p><b>EWUP5:</b> Włącz wzbudzenie Wakeup pinu WKUP5</p> <p>Po ustawieniu tego bitu zewnętrzny pin wzbudzenia WKUP5 jest włączony i wyzwala wzbudzenie ze stanu wstrzymania Stanby lub wyłączenia Shutdown, gdy wystąpi narastanie lub opadanie zbocza krzywej napięcia. Aktywne zbocze jest konfigurowane za pomocą bitu WP5 w rejestrze PWR_CR4.</p>
Bit 3	<p><b>EWUP4:</b> Włącz wzbudzenie Wakeup pinu WKUP4</p> <p>Po ustawieniu tego bitu zewnętrzny pin wzbudzenia WKUP5 jest włączony i wyzwala wzbudzenie ze stanu wstrzymania Stanby lub wyłączenia Shutdown, gdy wystąpi narastanie lub opadanie zbocza krzywej napięcia. Aktywne zbocze jest konfigurowane za pomocą bitu WP4 w rejestrze PWR_CR4.</p>
Bit 2	<p><b>EWUP3:</b> Włącz wzbudzenie Wakeup pinu WKUP3</p> <p>Po ustawieniu tego bitu zewnętrzny pin wzbudzenia WKUP5 jest włączony i wyzwala wzbudzenie ze stanu wstrzymania Stanby lub wyłączenia Shutdown, gdy wystąpi narastanie lub opadanie zbocza krzywej napięcia. Aktywne zbocze jest konfigurowane za pomocą bitu WP3 w rejestrze PWR_CR4.</p>
Bit 1	<p><b>EWUP2:</b> Włącz wzbudzenie Wakeup pinu WKUP2</p> <p>Po ustawieniu tego bitu zewnętrzny pin wzbudzenia WKUP5 jest włączony i wyzwala wzbudzenie ze stanu wstrzymania Stanby lub wyłączenia Shutdown, gdy wystąpi narastanie lub opadanie zbocza krzywej napięcia. Aktywne zbocze jest konfigurowane za pomocą bitu WP2 w rejestrze PWR_CR4.</p>
Bit 0	<p><b>EWUP1:</b> Włącz wzbudzenie Wakeup pinu WKUP1</p> <p>Po ustawieniu tego bitu zewnętrzny pin wzbudzenia WKUP5 jest włączony i wyzwala wzbudzenie ze stanu wstrzymania Stanby lub wyłączenia Shutdown, gdy wystąpi narastanie lub opadanie zbocza krzywej napięcia. Aktywne zbocze jest konfigurowane za pomocą bitu WP1 w rejestrze PWR_CR4.</p>

#### 4.4.4. Rejestr 4 sterowania zasilaniem (PWR\_CR4)

Przesunięcie adresu: 0x0C

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości Standby i przy użyciu bitu PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: aby uzyskać dostęp do tego rejestru potrzebne są dodatkowe cykle APB w porównaniu ze standardowym dostępem APB (3 dla zapisu i 2 dla odczytu).

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	VBRS	VBE	Res.	Res.	Res.	WP5	WP4	WP3	WP2	WP1
						r/w	r/w				r/w	r/w	r/w	r/w	r/w



Bity 31:10	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 9	<b>VBRS:</b> Wybór rezystora ładowania akumulatora $V_{BAT}$ 0: Naładuj $V_{BAT}$ przez rezystor 5 kOhm 1: Naładuj $V_{BAT}$ przez rezystor 1,5 kOhm
Bit 8	<b>VBE:</b> Włączone ładowanie akumulatora $V_{BAT}$ 0: Wyłączenie ładowania akumulatora $V_{BAT}$ 1: Włączone ładowanie akumulatora $V_{BAT}$
Bity 7: 5	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 4	<b>WP5:</b> Polaryzacja pinu WKUP5 w trakcie wzbudzenia Wakeup Ten bit określa polaryzację używaną do wykrywania zdarzeń na zewnętrznym pinie wzbudzania WKUP5 0: Wykrywanie na wysokim poziomie (narastające zbocze krzywej zasilania) 1: Wykrywanie na niskim poziomie (opadające zbocze krzywej zasilania)
Bit 3	<b>WP4:</b> Polaryzacja pinu WKUP4 w trakcie wzbudzenia Wakeup Ten bit określa polaryzację używaną do wykrywania zdarzeń na zewnętrznym pinie wzbudzania WKUP4 0: Wykrywanie na wysokim poziomie (narastające zbocze krzywej zasilania) 1: Wykrywanie na niskim poziomie (opadające zbocze krzywej zasilania)
Bit 2	<b>WP3:</b> Polaryzacja pinu WKUP3 w trakcie wzbudzenia Wakeup Ten bit określa polaryzację używaną do wykrywania zdarzeń na zewnętrznym pinie wzbudzania WKUP3 0: Wykrywanie na wysokim poziomie (narastające zbocze krzywej zasilania) 1: Wykrywanie na niskim poziomie (opadające zbocze krzywej zasilania)
Bit 1	<b>WP2:</b> Polaryzacja pinu WKUP2 w trakcie wzbudzenia Wakeup Ten bit określa polaryzację używaną do wykrywania zdarzeń na zewnętrznym pinie wzbudzania WKUP2 0: Wykrywanie na wysokim poziomie (narastające zbocze krzywej zasilania) 1: Wykrywanie na niskim poziomie (opadające zbocze krzywej zasilania)
Bit 0	<b>WP1:</b> Polaryzacja pinu WKUP1 w trakcie wzbudzenia Wakeup Ten bit określa polaryzację używaną do wykrywania zdarzeń na zewnętrznym pinie wzbudzania WKUP1 0: Wykrywanie na wysokim poziomie (narastające zbocze krzywej zasilania) 1: Wykrywanie na niskim poziomie (opadające zbocze krzywej zasilania)

#### 4.4.5. Rejestr 1 stanu zasilania (PWR\_SR1)

Przesunięcie adresu: 0x10

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości Standby i przy użyciu bitu PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: aby uzyskać dostęp do tego rejestru potrzebne są dwa dodatkowe cykle APB w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUFI	Res.	Res.	Res.	Res.	Res.	Res.	SBF	Res.	Res.	Res.	WUF5	WUF4	WUF3	WUF2	WUF1
r							r				r	r	r	r	r

- Bit 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 15 **WUFI**: Wewnętrzna flaga Wakeup  
Ten bit jest ustawiany po wykryciu wzbudzenia na wewnętrznej linii budzenia. Jest usuwany, gdy usuwane są wszystkie wewnętrzne źródła budzenia.
- Bit 14: 9 Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 8 **SBF**: Flaga trybu gotowości  
Ten bit jest ustawiany sprzętowo, gdy urządzenie przechodzi w tryb gotowości, i jest kasowany przez ustawienie bitu CSBF w rejestrze PWR\_SCR lub przez zresetowanie po włączeniu zasilania. Nie jest usuwany przez reset systemu.  
0: Urządzenie nie przeszło w tryb gotowości  
1: Urządzenie przeszło w tryb gotowości
- Bit 7: 5 Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 4 **WUF5**: Wakeup flaga 5  
Ten bit jest ustawiany po wykryciu zdarzenia wzbudzenia na pinie wzbudzenia, WKUP5. Jest to kasowane przez zapisanie „1” w bicie CWUF5 rejestru PWR\_SCR.
- Bit 3 **WUF4**: Wakeup flaga 4  
Ten bit jest ustawiany po wykryciu zdarzenia wzbudzenia na pinie wzbudzenia, WKUP4. Jest to kasowane przez zapisanie „1” w bicie CWUF4 rejestru PWR\_SCR.
- Bit 2 **WUF3**: Wakeup flaga 3  
Ten bit jest ustawiany po wykryciu zdarzenia wzbudzenia na pinie wzbudzenia, WKUP3. Jest to kasowane przez zapisanie „1” w bicie CWUF3 rejestru PWR\_SCR.
- Bit 1 **WUF2**: Wakeup flaga 2  
Ten bit jest ustawiany po wykryciu zdarzenia wzbudzenia na pinie wzbudzenia, WKUP2. Jest to kasowane przez zapisanie „1” w bicie CWUF2 rejestru PWR\_SCR.
- Bit 0 **WUF1**: Wakeup flaga 1  
Ten bit jest ustawiany po wykryciu zdarzenia wzbudzenia na pinie wzbudzenia, WKUP1. Jest to kasowane przez zapisanie „1” w bicie CWUF1 rejestru PWR\_SCR.

#### 4.4.6. Rejestr 2 stanu zasilania (PWR\_SR2)

Przesunięcie adresu: 0x14

Wartość resetowania: 0x0000 0000. Rejestr ten jest częściowo resetowany po wyjściu z trybu gotowości / wyłączenia.



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PVMO2	PVMO1	Res.	Res.	PVDO	VOSF	REGLP F	REGLP S	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r	r			r	r	r	r								

- Bit 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 15 **PVMO2**: Wyjście monitorowania napięcia obwodowego:  $V_{DDA}$  vs. 1,8 V.  
 0: napięcie  $V_{DDA}$  przekracza próg PVM2 (około 1,8 V).  
 1: Napięcie  $V_{DDA}$  jest poniżej progu PVM2 (około 1,8 V).  
*Uwaga: PVMO2 jest kasowane, gdy PVM2 jest wyłączone (PVME = 0). Po włączeniu PVM2, wyjście PVM2 jest sprawdzone po czasie wzbudzenia PVM2.*
- Bit 14 **PVMO1**: Wyjście monitorowania napięcia obwodowego:  $V_{DDA}$  vs. 1,62 V.  
 0: napięcie  $V_{DDA}$  jest powyżej progu PVM1 (około 1,62 V).  
 1: Napięcie  $V_{DDA}$  jest poniżej progu PVM1 (około 1,62 V).  
*Uwaga: PVMO1 jest kasowane, gdy PVM1 jest wyłączone (PVME = 0). Po włączeniu PVM1, wyjście PVM1 sprawdzone po czasie wzbudzenia PVM1.*
- Bit 13:12 Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 11 **PVDO**: Wyjście detektora napięcia zasilania  
 0:  $V_{DD}$  jest powyżej wybranego progu PVD  
 1:  $V_{DD}$  jest poniżej wybranego progu PVD
- Bit 10 **VOSF**: Flaga skalowania napięcia  
 Wymagane jest opóźnienie, aby wewnętrzny regulator był gotowy po zmianie skalowania napięcia. VOSF wskazuje, że regulator osiągnął poziom napięcia określony bitami VOS rejestru PWR\_CR1.  
 0: Regulator jest gotowy w wybranym zakresie napięcia  
 1: Napięcie wyjściowe regulatora zmienia się na wymagany poziom napięcia
- Bit 9 **REGLPF**: Flaga regulatora niskiej mocy  
 Ten bit jest ustawiany sprzętowo, gdy MCU jest w trybie pracy niskiego zużycia energii. Kiedy MCU wychodzi z trybu pracy niskiego zużycia energii, bit ten pozostaje na 1, dopóki regulator nie będzie gotowy w trybie głównym. Sprawdzenie tego bitu musi być wykonane przed zwiększeniem częstotliwości systemu.  
 Ten bit jest usuwany przez sprzęt, gdy regulator jest gotowy.  
 0: Regulator jest gotowy w trybie głównym (MR)  
 1: Regulator znajduje się w trybie niskiej mocy (LPR)
- Bit 8 **REGLPS**: Uruchomiony regulator niskiej mocy  
 Ten bit informuje, czy regulator niskiej mocy jest gotowy po resecie po włączeniu zasilania, czy w trybie gotowości / wyłączenia. Jeśli tryb gotowości zostanie wprowadzony, gdy bit REGLPS jest nadal wyczyszczony, czas wznowienia z trybu gotowości może zostać wydłużony.  
 0: Regulator niskiej mocy nie jest gotowy  
 1: Regulator niskiej mocy jest gotowy
- Bit 7 **FLASH\_RDY**: Flaga gotowości pamięci Flash

Ten bit jest ustawiany sprzętowo w celu wskazania, kiedy pamięć Flash jest gotowa do uzyskania dostępu po wybudzeniu ze stanu wyłączenia. Aby przełączyć pamięć Flash w tryb wyłączania, ustaw bity FPD\_LPRUN, FPD\_LPSLP lub FPD\_STP.

0: Pamięć Flash wyłączona

1: Pamięć Flash włączona, gotowa na dostęp

*Uwaga: Jeśli system uruchamia się z SRAM, aplikacja użytkownika musi poczekać na ustawienie bitu FLASH\_RDY, zanim przeskoczy do pamięci Flash.*

Bity 6: 0 Zarezerwowane, muszą być utrzymywane wartości resetowania.

#### 4.4.7. Rejestr kasowania stanu zasilania (PWR\_SCR)

Przesunięcie adresu: 0x18

Wartość resetowania: 0x0000 0000.

Dostęp: do zapisania tego rejestru potrzebne są trzy dodatkowe cykle APB w porównaniu ze standardowym zapisem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	CSBF	Res.	Res.	Res.	CWUF 5	CWUF 4	CWUF 3	CWUF 2	CWUF 1
							w				w	w	w	w	w

Bity 31: 9 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 8 **CSBF**: Wyczyść flagę trybu gotowości

Ustawienie tego bitu powoduje wyczyszczenie flagi SBF w rejestrze PWR\_SR1.

Bity 7: 5 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 4 CWUF5: Wyczyść flagę wzbudzenia 5

Ustawienie tego bitu powoduje wyczyszczenie flagi WUF5 w rejestrze PWR\_SR1.

Bit 3 CWUF4: Wyczyść flagę wzbudzenia 4

Ustawienie tego bitu powoduje wyczyszczenie flagi WUF4 w rejestrze PWR\_SR1.

Bit 2 CWUF3: Wyczyść flagę wzbudzenia 3

Ustawienie tego bitu powoduje wyczyszczenie flagi WUF3 w rejestrze PWR\_SR1.

Bit 1 CWUF2: Wyczyść flagę wzbudzenia 2

Ustawienie tego bitu powoduje wyczyszczenie flagi WUF2 w rejestrze PWR\_SR1.

Bit 0 CWUF1: Wyczyść flagę wzbudzenia 1

Ustawienie tego bitu powoduje wyczyszczenie flagi WUF1 w rejestrze PWR\_SR1.

#### 4.4.8. Rejestr kontroli podbicia napięcia (pull-up) portu A (PWR\_PUCRA)

Przesunięcie adresu: 0x20.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	Res.	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rW		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bity 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 15 **PU15**: bit 15 - podbicie napięcia (pull-up) na Porcie A

Po ustawieniu ten bit aktywuje podbicie napięcia na PA [15], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

Podbicie nie jest aktywowane, jeśli odpowiadający mu bit PD15 jest ustawiony.

Bit 14 Zarezerwowany, musi być utrzymywana wartość resetowania.

Bity 13: 0 **PUy**: Bit podbicia y dla portu A (y=0...13)

Po ustawieniu ten bit aktywuje podbicie na PA [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

Podbicie nie jest aktywowane, jeśli jest również ustawiony odpowiadający mu bit PDy.

#### 4.4.9. Rejestr kontroli obniżenia napięcia (pull-down) portu A (PWR\_PDCRA)

Przesunięcie adresu: 0x24.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PD14	Res.	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	rW		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bity 31:15 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 14 **PD14**: bit 14 - obniżenie napięcia (pull-down) na portu A

Po ustawieniu ten bit aktywuje obniżenie napięcia na PA [14], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

Bit 13 Zarezerwowany, musi być utrzymywany na wartości resetowania.

Bity 12: 0 **PDy**: Bit obniżenia y dla portu A (y=0...12)

Po ustawieniu ten bit aktywuje obniżenie na PA [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

#### 4.4.10. Rejestr kontroli podbicia napięcia (pull-up) portu B (PWR\_PUCRB)

Przesunięcie adresu: 0x28.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bit 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 15:0 **PUy**: bit y podbicia napięcia (pull-up) na Porcie B (y=0...15)

Po ustawieniu ten bit aktywuje podbicie napięcia na PB [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

Podbicie nie jest aktywowane, jeśli odpowiadający mu bit PDy jest ustawiony.

#### 4.4.11. Rejestr kontroli obniżenia napięcia (pull-down) portu B (PWR\_PDCRB)

Przesunięcie adresu: 0x2C.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	Res.	PD3	PD2	PD1	PD0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW		rW	rW	rW	rW

Bit 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 15:5 **PDy**: bit y obniżenia napięcia (pull-down) na Porcie B (y=5...15)

Po ustawieniu ten bit aktywuje obniżenie napięcia na PB [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

Bit 4 Zarezerwowany, musi być utrzymywany na wartości resetowania.

Bit 3:0 **PDy**: bit y obniżenia napięcia (pull-down) na Porcie B (y=0...3)

Po ustawieniu ten bit aktywuje obniżenie na PB [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

#### 4.4.12. Rejestr kontroli podbicia napięcia (pull-up) portu C (PWR\_PUCRC)

Przesunięcie adresu: 0x34.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bity 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 15:0 **PUy**: bit y podbicia napięcia (pull-up) na Porcie C (y=0...15)

Po ustawieniu ten bit aktywuje podbicie napięcia na PC [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

#### 4.4.13. Rejestr kontroli obniżenia napięcia (pull-down) portu C (PWR\_PDCRC)

Przesunięcie adresu: 0x2C.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bity 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 15:0 **PDy**: bit y obniżenia napięcia (pull-down) na Porcie C (y=0...15)

Po ustawieniu ten bit aktywuje obniżenie napięcia na PC [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

#### 4.4.14. Rejestr kontroli podbicia napięcia (pull-up) portu D (PWR\_PUCRD)

Przesunięcie adresu: 0x38.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bity 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 15:0 **PUy**: bit y podbicia napięcia (pull-up) na Porcie D (y=0...15)

Po ustawieniu ten bit aktywuje podbicie napięcia na PD [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

Podbicie nie jest aktywowane, jeśli odpowiadający mu bit PDy jest ustawiony.

#### 4.4.15. Rejestr kontroli obniżenia napięcia (pull-down) portu D (PWR\_PDCRD)

Przesunięcie adresu: 0x3C.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bit y 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit y 15:0 **PDy**: bit y obniżenia napięcia (pull-down) na Porcie D (y=0...15)

Po ustawieniu ten bit aktywuje obniżenie napięcia na PD [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

#### 4.4.16. Rejestr kontroli podbicia napięcia (pull-up) portu E (PWR\_PUCRE)

Przesunięcie adresu: 0x40.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bit y 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit y 15:0 **PUy**: bit y podbicia napięcia (pull-up) na Porcie C (y=0...15)

Po ustawieniu ten bit aktywuje podbicie napięcia na PC [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

Podbicie nie jest aktywowane, jeśli odpowiadający mu bit PDy jest ustawiony.

#### 4.4.17. Rejestr kontroli obniżenia napięcia (pull-down) portu E (PWR\_PDCRE)

Przesunięcie adresu: 0x44.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bity 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 15:0 **PDy**: bit y obniżenia napięcia (pull-down) na Porcie E (y=0...15)

Po ustawieniu ten bit aktywuje obniżenie napięcia na PE [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

#### 4.4.18. Rejestr kontroli podbicia napięcia (pull-up) portu F (PWR\_PUCRF)

Przesunięcie adresu: 0x48.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bity 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 15:0 **PUy**: bit y podbicia napięcia (pull-up) na Porcie F (y=0...15)

Po ustawieniu ten bit aktywuje podbicie napięcia na PF [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

Podbicie nie jest aktywowane, jeśli odpowiadający mu bit PDy jest ustawiony.

#### 4.4.19. Rejestr kontroli obniżenia napięcia (pull-down) portu F (PWR\_PDCRF)

Przesunięcie adresu: 0x4C.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 15:0 **PDy**: bit y obniżenia napięcia (pull-down) na Porcie F (y=0...15)

Po ustawieniu ten bit aktywuje obniżenie napięcia na PF [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

#### 4.4.20. Rejestr kontroli podbicia napięcia (pull-up) portu G (PWR\_PUCRG)

Przesunięcie adresu: 0x50.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
					r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:11 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 10:0 **PUy**: bit y podbicia napięcia (pull-up) na Porcie C (y=0...10)

Po ustawieniu ten bit aktywuje podbicie napięcia na PG [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

Podbicie nie jest aktywowane, jeśli odpowiadający mu bit PDy jest ustawiony.

#### 4.4.21. Rejestr kontroli obniżenia napięcia (pull-down) portu E (PWR\_PDCRE)

Przesunięcie adresu: 0x54.

Wartość resetowania: 0x0000 0000. Rejestr ten nie jest resetowany przy wychodzeniu z trybów gotowości oraz gdy ustawiony jest bit PWRRST w rejestrze RCC\_APB1RSTR1.

Dostęp: dodatkowe cykle APB są potrzebne, aby uzyskać dostęp do tego rejestru (3 dla zapisu i 2 dla odczytu), w porównaniu ze standardowym dostępem APB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
					r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31:11 Zarezerwowane, muszą być utrzymywane wartości resetowania.



Bity 10:0 **PDy**: bit y obniżenia napięcia (pull-down) na Porcie G (y=0...10)

Po ustawieniu ten bit aktywuje obniżenie napięcia na PG [y], gdy bit APC jest ustawiony w rejestrze PWR\_CR3.

#### 4.4.22. Rejestr sterowania zasilaniem (PWR\_CR5)

Przesunięcie adresu: 0x80.

Wartość resetowania: 0x0000 0100. Ten rejestr jest resetowany tylko przez reset włączenia zasilania.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	R1MODE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
							rw								

Bity 31: 9 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 8 **R1MODE**: Tryb zakresu 1 Głównego trybu regulacji

Ten bit jest ważny tylko dla zakresu 1 głównego regulatora w i nie ma wpływu na zakres 2. Zaleca się zresetowanie tego bitu, gdy częstotliwość systemu jest większa niż 80 MHz.

0: Tryb doładowania (boost mode) głównego regulatora w zakresie 1.

1: Tryb normalny (normal mode) głównego regulatora w zakresie 1.

Bity 7: 0 Zarezerwowane, muszą być utrzymywane na wartości resetowania.

## 4.4.23. Mapa rejestrów PWR i tabela wartości resetowania

Tabela 29 4.4.23. Mapa rejestrów PWR i tabela wartości resetowania

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x00	PWR_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPR	Res.	Res.	Res.	VOS [1:0]	DBP	Res.	Res.	Res.	Res.	Res.	FPD_STOP	Res.	Res.	LPMS [2:0]		
	Reset value																		0	0	0	0	0	0	1	0				1	0	0	0		
0x04	PWR_CR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVMEN2	PVMEN1	Res.	Res.	Res.	Res.	PLS[2:0]	Res.	PVDE	
	Reset value																										0	0			0	0	0	0	
0x08	PWR_CR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EIWUL	Res.	Res.	Res.	Res.	APC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EWUP5		
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x0C	PWR_CR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WP5	
	Reset value																																		0
0x10	PWR_SR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUF5	
	Reset value																																		0
0x14	PWR_SR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVMO2	PVMO1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	0	
	Reset value																		0	0															0
0x18	PWR_SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	0
	Reset value																																		
0x20	PWR_PUCRA	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	0
	Reset value																																		
0x24	PWR_PDCRA	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	0
	Reset value																																		
0x28	PWR_PUCRB	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	0
	Reset value																																		
0x2C	PWR_PDCRB	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	0
	Reset value																																		
0x30	PWR_PUCRC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	0
	Reset value																																		
0x34	PWR_PDCRC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	0
	Reset value																																		
0x38	PWR_PUCRD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	0
	Reset value																																		

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x3C	PWR_PDCRD	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x40	PWR_PUCRE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	PWR_PDCRE	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	PWR_PUCRF	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	RU15	RU14	RU13	RU12	RU11	RU10	RU9	RU8	RU7	RU6	RU5	RU4	RU3	RU2	RU1	RU0	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	PWR_PDCRF	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	PWR_PUCRG	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0						
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x54	PWR_PDCRG	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0						
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x80	PWR_CR5	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	
	Reset value																																	

## 5. Reset i kontrola zegara (RCC)

### 5.1. Reset

Istnieją trzy rodzaje resetowania, zdefiniowane jako:

- Reset systemu,
- Reset zasilania
- Reset domeny RTC.

#### 5.1.1. Reset zasilania (Power reset)

Reset zasilania jest generowany, gdy wystąpi jedno z następujących zdarzeń:

1. Reset po włączeniu zasilania (POR Power-on reset) lub Reset po wyzerowaniu (BOR Brown-out reset).
2. Przy wychodzeniu z trybu gotowości (Standby mode).
3. Przy wychodzeniu z trybu zamykania (Shutdown mode).

Reset Brown-out, w tym resetowanie po włączeniu lub wyłączeniu (POR / PDR), ustawia wszystkie rejestry na wartościach resetowania, z wyjątkiem domeny RTC.

Po wyjściu z trybu gotowości Standby wszystkie rejestry w domenie  $V_{CORE}$  są ustawione na wartość resetowania. Rejestry poza domeną  $V_{CORE}$  (RTC, WKUP, IWDG oraz kontrola trybów gotowości / zamykania) nie są zmieniane.

Po wyjściu z trybu zamykania Shutdown generowany jest reset Brown-out, resetujący wszystkie rejestry oprócz rejestrów w domenie RTC.

### 5.1.2. Reset systemu

Reset systemu ustawia wszystkie rejestry na ich wartości resetowania, z wyjątkiem flag resetowania w rejestrze kontroli / statusu zegara (RCC\_CSR) i rejestrów w domenie RTC.

Resetowanie systemu jest generowane, gdy wystąpi jedno z następujących zdarzeń:

1. Niski poziom na pinie NRST (reset zewnętrzny)
2. Zdarzenie w okna watchdoga (reset WWDG)
3. Niezależne zdarzenie watchdoga (reset IWDG)
4. Reset programowy (Software reset)
5. Reset bezpieczeństwa w trybie niskiego zużycia energii
6. Resetowanie modułu ładującego bajty opcjonalne
7. Reset wyzerowania

Źródło resetowania można zidentyfikować sprawdzając flagi resetowania w rejestrze kontroli / statusu, CSR (*Control/status register (RCC\_CSR)*).

#### Pin NRST (reset zewnętrzny)

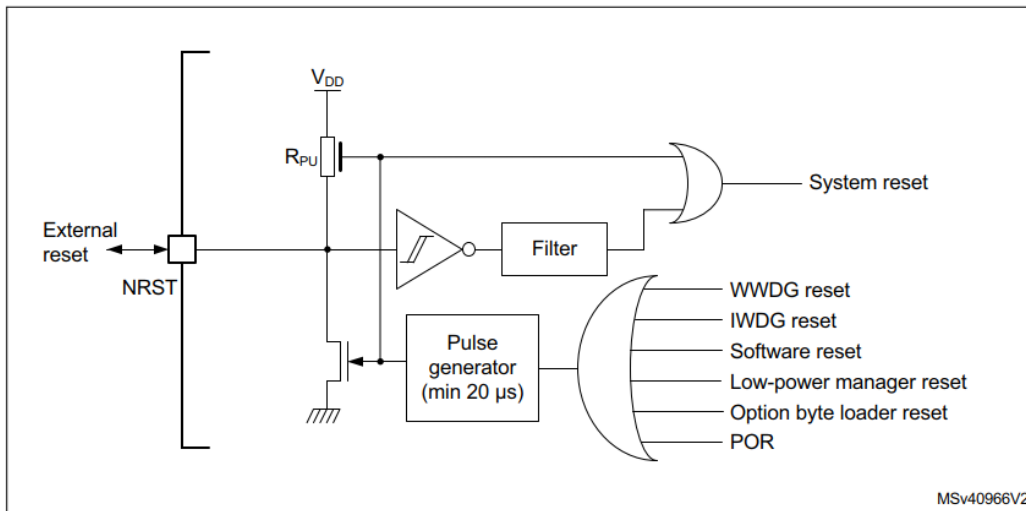
Poprzez określone bity opcji (NRST\_MODE), pin NRST można skonfigurować do pracy jako:

- Reset wejście / wyjście (domyślnie przy dostawie urządzenia)
 

Każdy ważny sygnał resetu na pinie jest propagowany do wewnętrznej logiki urządzenia, a wszystkie wewnętrzne źródła resetowania są zewnętrznie napędzane przez generator impulsów do tego pinu. Funkcja GPIO (PG10) jest niedostępna. Generator impulsów gwarantuje minimalny czas trwania impulsu zerowania wynoszący 20  $\mu$ s dla każdego wewnętrznego źródła resetu, które ma być wyprowadzane na pin NRST. Opcji wewnętrznego przetrzymywania resetu można użyć, jeśli jest włączona w bajtach opcji, aby upewnić się, że pin jest zasilany na niskim poziomie, dopóki jego napięcie osiągnie progu VIL. Ta funkcja gwarantuje wykrywanie wewnętrznych źródeł resetu przez komponenty zewnętrzne, gdy ścieżka napotyka znaczne obciążenie pojemnościowe. W przypadku resetu wewnętrznego wewnętrzna jednostka podbijania napięcia RPU jest dezaktywowana w celu zaoszczędzenia zużycia energii przez rezystor podbicia. Ten tryb jest zawsze aktywny (niezależnie od ustawienia bajtów opcji) podczas resetu zasilania każdego urządzenia (do momentu załadowania bajtów opcji)czyli włączenia urządzenia lub wybudzenia z trybu Shutdown.
- Reset wejścia
 

W tym trybie każdy dopuszczalny sygnał resetowania na pinie NRST jest propagowany do wewnętrznej logiki urządzenia, ale resety generowane wewnętrznie przez urządzenie nie są widoczne na pinie. W tej konfiguracji funkcja GPIO (PG10) jest niedostępna.
- GPIO
 

W tym trybie pin może być używany jako PG10 w standardzie GPIO. Funkcja resetowania pinu nie jest dostępna. Reset jest możliwy tylko z wewnętrznych źródeł resetowania urządzenia i nie jest propagowany do pinu.



Rysunek 10 Uproszczony schemat obwodu resetowania

### Reset programowy

Aby wymusić reset programowy urządzenia, należy w Cortex®-M4 z FPU ustawić bit SYSRESETREQ w rejestrze przerw aplikacji i kontroli resetowania Application Interrupt and Reset Control Register.

### Reset bezpieczeństwa w trybie niskiego poboru mocy

Aby uniknąć sytuacji, w której krytyczne aplikacje omyłkowo wejdą w tryb niskiego poboru mocy, dostępne są dwa sposoby resetowania ochronne w trybie niskiego poboru mocy. Jeśli resety są dozwolone w bajtach opcji, to są generowane w następujących warunkach:

1. Wejście w tryb gotowości Standby: ten typ resetowania jest włączany przez resetowanie bitu nRST\_STDBY w opcji użytkownika Bajty. W takim przypadku za każdym razem, gdy sekwencja wprowadzania w trybie gotowości zostanie pomyślnie wykonana, urządzenie zostanie zresetowane zamiast przejścia w tryb gotowości.
2. Wejście do trybu zatrzymania Stop: ten typ resetowania jest włączany przez resetowanie bitu nRST\_STOP w bajtach opcji użytkownika. W takim przypadku za każdym razem, gdy sekwencja wprowadzania trybu zatrzymania zostanie pomyślnie wykonana, urządzenie jest resetowane zamiast przejścia w tryb zatrzymania.
3. Wejście do trybu zamykania Shutdown: ten typ resetowania jest włączany przez resetowanie bitu nRST\_SHDW w bajtach opcji użytkownika. W takim przypadku za każdym razem, gdy sekwencja wprowadzania trybu zamykania zostanie pomyślnie wykonana, urządzenie zostanie zresetowane zamiast przejścia w tryb zamykania.

### Reset modułu ładującego bajty opcjonalne

Reset modułu ładującego bajty opcji jest generowany, gdy bit OBL\_LAUNCH (bit 27) jest ustawiony w rejestrze FLASH\_CR. Ten bit służy do uruchamiania ładowania bajtów opcji przez oprogramowanie.

### 5.1.3. Reset domeny RTC

Domena RTC ma dwa określone resety.

Reset domeny RTC jest generowany, gdy wystąpi jedno z następujących zdarzeń:

1. Reset programowy, wyzwalany przez ustawienie bitu BDRST w rejestrze kontroli domeny RTC (RCC\_BDCR).
2. Włączenie V<sub>DD</sub> lub V<sub>BAT</sub>, jeśli oba zasilacze zostały wcześniej wyłączone.

Reset domeny RTC wpływa tylko na oscylator LSE, RTC, rejestry kopii Backup i rejestr kontrolny domeny RTCC RCC.

## 5.2. Zegary

Do sterowania zegarem systemowym (SYSCLK) można użyć trzech różnych źródeł zegara:

- Zegar oscylatora HSI16 (szybki wewnętrzny) 16 MHz RC
- Zegar oscylatora HSE, od 4 do 48 MHz
- Zegar PLL

HSI16 jest używany jako źródło zegara systemowego po uruchomieniu z Resetuj.

Urządzenia mają następujące dodatkowe źródła zegara:

- Wewnętrzny RC o niskiej prędkości 32 kHz (LSI RC), który napędza niezależnego watchdoga i opcjonalnie RTC używany do automatycznego wzbudzenia z trybów Stop i Standby.
- Zewnętrzny kryształ o niskiej prędkości 32.768 kHz (kryształ LSE), który opcjonalnie steruje zegarem czasu rzeczywistego (RTCCLK).
- Wewnętrzne źródła zegara RC 48 MHz (HSI48) do potencjalnego sterowania USB FS i RNG.

Każde źródło zegara można włączać i wyłączać, gdy nie jest używane, niezależnie, aby zoptymalizować zużycie energii.

Do skonfigurowania częstotliwości AHB, domen APB1 i APB2 można użyć kilku preskalerów. Maksymalna częstotliwość domen AHB, APB1 i APB2 wynosi 170 MHz.

Wszystkie zegary peryferyjne pochodzą z zegara magistrali (HCLK, PCLK1 lub PCLK2), z wyjątkiem:

- Zegar 48 MHz, używany dla urządzenia USB FS i RNG. Ten zegar pochodzi (wybierany programowo) z jednego z następujących źródeł:
  - Zegar PLL „Q”
  - Wewnętrzny oscylator HSI48
 Jeśli, zegar HSI48 48 MHz jest dostępny, może być sprzężony z systemem odzyskiwania zegara, umożliwiając odpowiednie połączenie zegara dla USB OTG FS (rozwiązanie bez kryształu).
- Zegar ADC, który pochodzi (wybierany programowo) z jednego z następujących źródeł:
  - Zegar systemowy (SYSCLK)
  - Zegar PLL „P”
- Zegary U(S)ART, które pochodzą (wybrane programowo) z jednego z czterech następujących źródeł:
  - Zegar systemowy (SYSCLK)
  - Zegar HSI16
  - Zegar LSE
  - Zegar APB1 lub APB2 (PCLK1 lub PCLK2 w zależności od tego, na który APB jest zmapowany U(S)ART)
 Wznowienie z trybu zatrzymania Stop jest obsługiwane tylko wtedy, gdy zegar to HSI16 lub LSE.
- Zegary I<sup>2</sup>C, które pochodzą (wybrane programowo) z jednego z trzech następujących źródeł:
  - Zegar systemowy (SYSCLK)
  - Zegar HSI16
  - Zegar APB1 (PCLK1)
 Wznowienie z trybu zatrzymania jest obsługiwane tylko wtedy, gdy zegar to HSI16.
- Zegar SAI1, który pochodzi (wybrany programowo) z jednego z następujących źródeł:
  - Zegar zewnętrzny zmapowany na I2S\_CKIN
  - Zegar systemowy
  - Zegar PLL „Q”

- Zegar HSI16
- Zegar jądra QUADSPI, który pochodzi (wybrany programowo) z jednego z następujących źródeł:
  - Zegar systemowy,
  - Zegar PLL „Q”
  - Zegar HSI16
- Zegar timera małej mocy (LPTIM1), który pochodzi (wybrany programowo) z jednego z pięciu następujących źródeł:
  - Zegar LSI
  - Zegar LSE
  - Zegar HSI16
  - Zegar APB1 (PCLK1)
  - Zewnętrzny zegar zmapowany na LPTIMx\_IN1

Funkcjonalność w trybie zatrzymania Stop (w tym wakeup) jest obsługiwana tylko wtedy, gdy zegarem jest LSI lub LSE lub układ jest w trybie zegara zewnętrznego.

- Zegar RTC, który pochodzi (wybrany programowo) z jednego z trzech następujących źródeł:
  - Zegar LSE
  - Zegar LSI
  - Zegar HSE podzielony przez 32

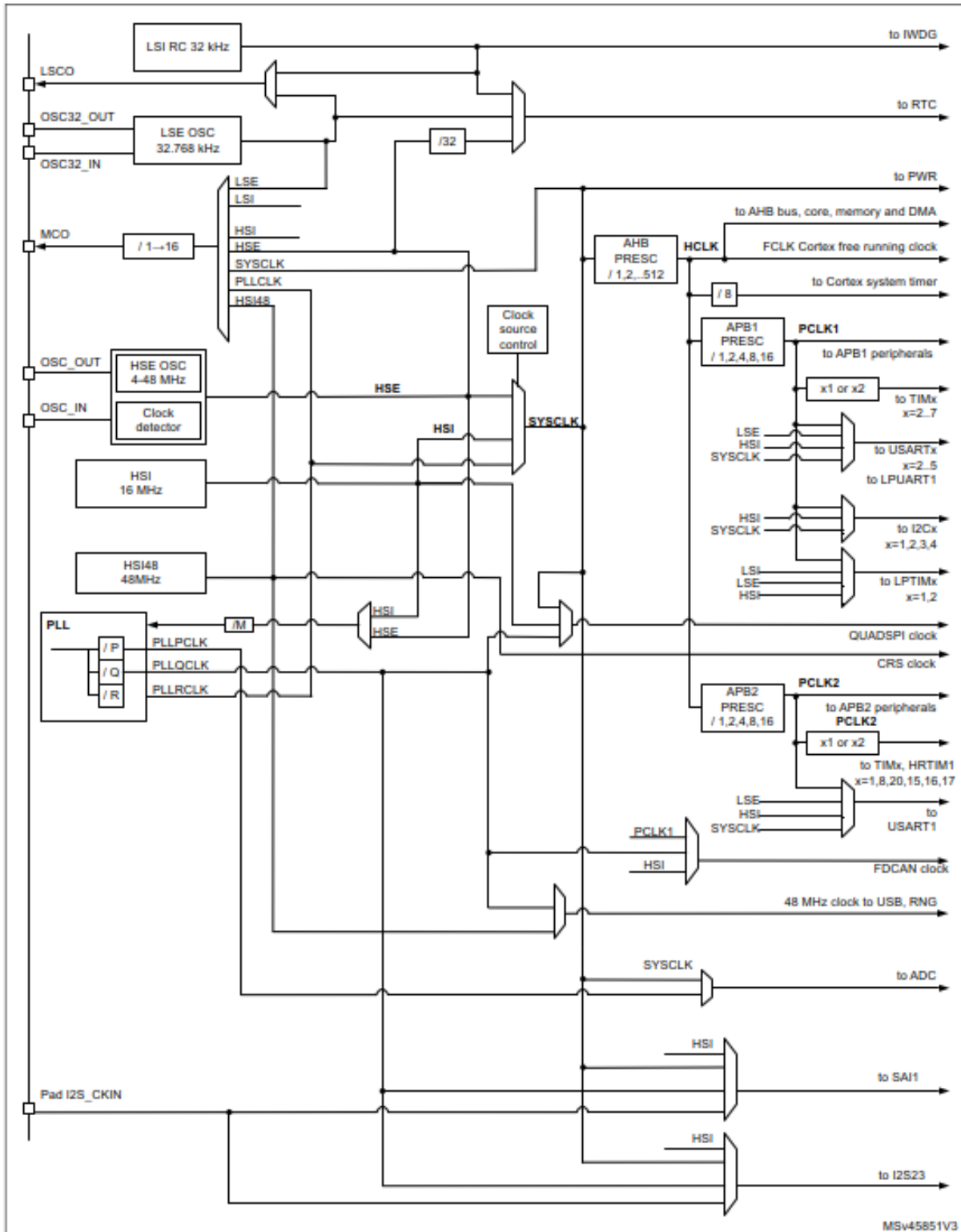
Funkcjonalność w trybie zatrzymania (w tym wakeup) jest obsługiwana tylko wtedy, gdy zegar to LSI lub LSE.

- Zegar IWDG, który zawsze jest zegarem LSI.
- Zegar UCPD1, który pochodzi z zegara HSI16.
- Zegar FDCAN1, który pochodzi (wybrany programowo) z jednego z dwóch następujących źródeł:
  - Zegar HSE
  - Zegar PLL „Q”
  - Zegar PCLK

RCC zasila zegar zewnętrzny Cortex® System Timer (SysTick) zegarem AHB (HCLK) podzielonym przez 8. SysTick może pracować albo z tym zegarem albo bezpośrednio z zegarem Cortex® (HCLK), konfigurowalnym w rejestrze *SysTick Control and Status Register*.

FCLK działa jako niezależny zegar (free-running) procesora Cortex®-M4 z FPU.





Adnotacja: 2. Zegar ADC można wyprowadzić z zegara AHB interfejsu magistrali ADC dzieląc go przez programowalny współczynnik (1, 2 lub 4). Gdy programowalnym współczynnikiem jest „1”, prescaler AHB musi być równy „1”.

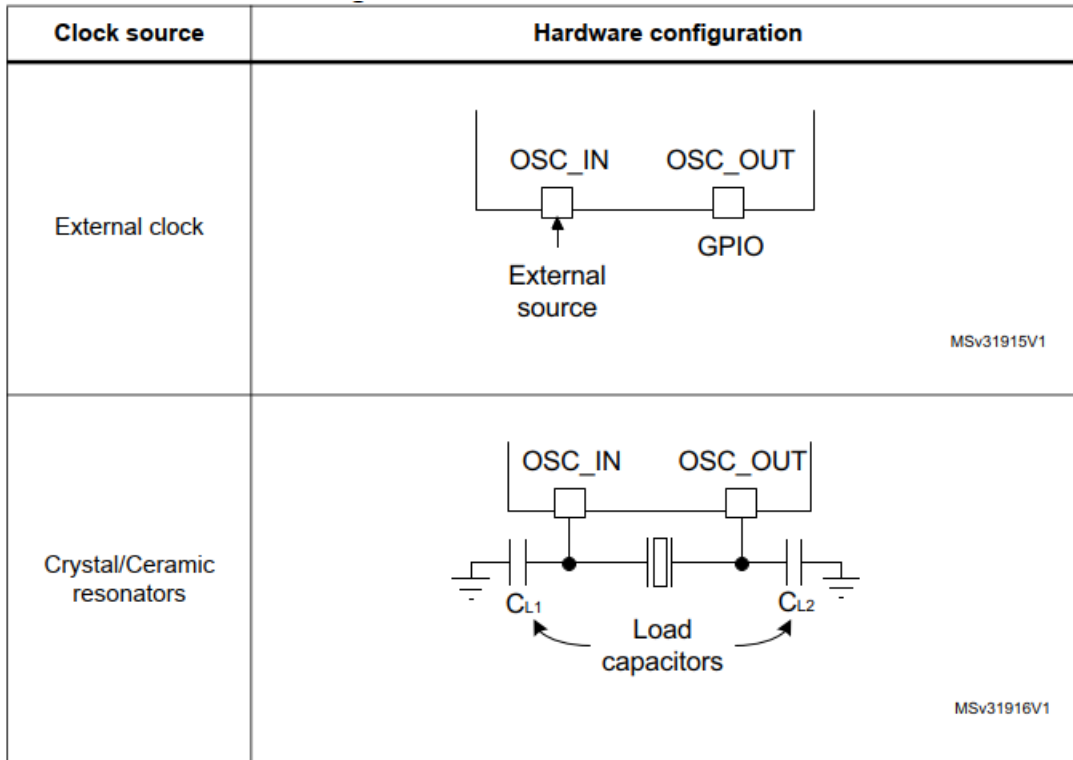
Rysunek 11 Drzewo zegarów

### 5.2.1. Zegar HSE

Szybki zegar zewnętrzny (HSE) może być generowany z dwóch możliwych źródeł zegara:

- HSE Zewnętrzny rezonator krystaliczny / ceramiczny
- HSE Zewnętrzny zegar użytkownika

Rezonator i kondensatory obciążające muszą być umieszczone jak najbliżej styków oscylatora, aby zminimalizować zniekształcenie wyjściowe i czas stabilizacji rozruchu. Wartości pojemności ładowania należy ustawić zgodnie z wybranym oscylatorem.



Rysunek 12 HSE / LSE źródła zegarów

### Zewnętrzny rezonator krystaliczny / ceramiczny (kryształ HSE)

Oscylator zewnętrzny 4 do 48 MHz ma tę zaletę, że zapewnia bardzo dokładną częstotliwość zegara głównego. Powiązaną konfigurację sprzętową pokazano na rysunku powyżej.

Flaga HSERDY w rejestrze sterowania zegarem (RCC\_CR) wskazuje, czy oscylator HSE jest stabilny, czy nie. Podczas uruchamiania zegar nie jest zwalniany, dopóki ten bit nie zostanie ustawiony sprzętowo. Przerwanie może zostać wygenerowane, jeśli jest włączone w rejestrze aktywacji przerwania zegara *Clock interrupt enable register* (RCC\_CIER).

HSE Crystal można włączać i wyłączać za pomocą bitu HSEON w rejestrze sterującym zegarem (RCC\_CR).

### Źródło zewnętrzne (obejście HSE)

W tym trybie należy zapewnić zewnętrzne źródło zegara. Może mieć częstotliwość do 48 MHz. Wybierz ten tryb, ustawiając bity HSEBYP i HSEON w Rejestrze sterowania zegarem (RCC\_CR). Zewnętrzny sygnał zegarowy (kwadratowy, sinusoidalny lub trójkątny) z cyklem roboczym ~ 40-60% w zależności od częstotliwości musi sterować pinem OSC\_IN, podczas gdy pin OSC\_OUT może być używany jako GPIO.

## 5.2.2. Zegar HSI16

Sygnał zegara HSI16 jest generowany z wewnętrznego oscylatora RC 16 MHz.

Oscylator HSI16 RC ma tę zaletę, że zapewnia źródło zegara niskokosztowo (bez elementów zewnętrznych). Ma także szybszy czas uruchamiania niż oscylator kwarcowy HSE, jednak nawet przy kalibracji jego częstotliwość jest mniej dokładna niż kryształu zewnętrznego oscylatora lub rezonatora ceramicznego.

Zegar HSI16 można wybrać jako zegar systemowy po wzbudzeniu z trybów Stop (Stop 0, Stop 1). Może być również użyty jako zapasowe źródło zegara (zegar pomocniczy) w przypadku awarii oscylatora krystalicznego HSE.

### Kalibrowanie

Częstotliwości oscylatora RC mogą się różnić między poszczególnymi układami z powodu zmian procesu produkcyjnego, dlatego każde urządzenie jest fabrycznie kalibrowane przez ST z dokładnością 1% przy TA=25 ° C.

Po zresetowaniu fabryczna wartość kalibracji jest ładowana do bitów HSICAL [7: 0] w rejestrze kalibracji źródeł zegara wewnętrznego (RCC\_ICSCR).

Jeśli aplikacja podlega zmianom napięcia lub temperatury, może to wpłynąć na prędkość oscylatora RC. Możesz przyciąć częstotliwość HSI16 w aplikacji za pomocą HSITRIM [6: 0] w rejestrze kalibracji źródeł zegara wewnętrznego *Internal clock sources calibration register* (RCC\_ICSCR).

Flaga HSIRDY w rejestrze sterowania zegarem (RCC\_CR) wskazuje, czy oscylator HSI16 jest stabilny, czy nie. Podczas uruchamiania zegar wyjściowy HSI16 nie jest zwalniany, dopóki ten bit nie zostanie ustawiony sprzętowo.

Oscylator HSI16 można włączać i wyłączać za pomocą bitu HSION w Rejestrze sterowania zegarem (RCC\_CR).

Sygnal HSI16 może być również użyty jako źródło zapasowe (zegar pomocniczy) w przypadku awarii oscylatora krystalicznego HSE.

### 5.2.3. Zegar HSI48

Sygnal zegara HSI48 jest generowany z wewnętrznego oscylatora RC 48 MHz i może być używany bezpośrednio dla USB i generatora liczb losowych (RNG).

Wewnętrzny oscylator RC 48 MHz jest przeznaczony głównie do zapewnienia wysokiej precyzji zegara dla urządzenia peryferyjnego USB za pomocą specjalnego układu odzysku zegara (CRS). CRS może wykorzystać LSE lub sygnał zewnętrzny do automatycznego i szybkiego dostosowania częstotliwości oscylatora w locie. Wyłącza się, gdy tylko system przejdzie w tryb zatrzymania lub gotowości. Gdy CRS nie jest używany, oscylator HSI48 RC pracuje na swojej domyślnej częstotliwości, która podlega zmianom w procesie produkcyjnym.

Flaga HSI48RDY w rejestrze RC odzyskiwania zegara (RCC\_CRRCR) wskazuje, czy oscylator HSI48 RC jest stabilny, czy nie. Podczas uruchamiania zegar wyjściowy oscylatora HSI48 RC nie jest zwalniany, dopóki ten bit nie zostanie ustawiony sprzętowo.

HSI48 można włączać i wyłączać za pomocą bitu HSI48ON w rejestrze RC odzyskiwania zegara (RCC\_CRRCR).

### 5.2.4. PLL

Wewnętrzny PLL może służyć do zwielokrotnienia częstotliwości zegara wyjściowego HSI16 lub HSE. Częstotliwość wejściowa PLL musi wynosić od 4 do 16 MHz. Wybrane źródło zegara jest podzielone przez programowalny współczynnik PLLM od 1 do 8, aby zapewnić częstotliwość zegara w żądanym zakresie wejściowym.

Konfiguracja PLL (wybór zegara wejściowego i mnożnika) musi zostać wykonana przed włączeniem PLL. Po włączeniu PLL tych parametrów nie można zmienić.

Aby zmodyfikować konfigurację PLL, wykonaj następujące czynności:

1. Wyłącz PLL, ustawiając PLLON na 0 w Rejestrze sterowania zegarem (RCC\_CR).
2. Poczekaj, aż PLLRDY zostanie wyczyszczone. PLL jest teraz całkowicie zatrzymany.
3. Zmień żądany parametr.
4. Włącz ponownie PLL, ustawiając PLLON na 1.
5. Włącz żądane wyjścia PLL, konfigurując PLLPEN, PLLQEN, PLLREN w rejestrze konfiguracji PLL (RCC\_PLLCFGR).

Przerwanie może zostać wygenerowane, gdy PLL jest gotowe, jeśli jest włączone w rejestrze aktywacji przerwania zegara (RCC\_CIER).

Częstotliwość wyjściowa PLL nie może przekraczać 170 MHz.

Bit aktywacyjny każdego zegara wyjściowego PLL (PLLPEN, PLLQEN, PLLREN) można zmodyfikować w dowolnym momencie bez zatrzymywania odpowiadającego mu PLL. PLLREN nie może zostać wyczyszczony, jeśli PLLCLK jest używany jako zegar systemowy.

### 5.2.5. Zegar LSE

Kryształ LSE jest zewnętrznym krystalicznym lub ceramicznym rezonatorem o niskiej prędkości 32.768 kHz. Ma tę zaletę, że zapewnia energooszczędne, ale bardzo dokładne źródło zegara dla peryferyjnego zegara czasu rzeczywistego (RTC) dla zegara / kalendarza lub innych funkcji taktowania.

Kryształ LSE jest włączany i wyłączany za pomocą bitu LSEON w rejestrze kontrolnym domeny RTC (RCC\_BDCR). Siła napędowa oscylatora kwarcowego może być zmieniana w czasie wykonywania za pomocą bitów LSEDRV [1:0] w rejestrze kontroli domeny RTC (RCC\_BDCR), aby uzyskać najlepszy kompromis między trwałością i krótkim czasem rozruchu z jednej strony a niskim zużyciem energii z drugiej strony. Moc LSE można obniżyć do niższego poziomu (LSEDRV = 00), gdy LSE jest włączony. Jednak po wybraniu LSEDRV mocy napędowej nie można zwiększyć, jeśli LSEON = 1.

Flaga LSERDY w rejestrze kontroli domeny RTC (RCC\_BDCR) wskazuje, czy kryształ LSE jest stabilny, czy nie. Podczas uruchamiania sygnał wyjściowy krystalicznego zegara LSE nie jest uwalniany, dopóki ten bit nie zostanie ustawiony sprzętowo. Przerwanie może zostać wygenerowane, jeśli jest włączone rejestrze aktywacji przerwania zegara (RCC\_CIER).

#### Źródło zewnętrzne (obejście LSE)

W tym trybie należy zapewnić zewnętrzne źródło zegara. Może mieć częstotliwość do 1 MHz. Wybierz ten tryb, ustawiając bity LSEBYP i LSEON w rejestrze włączania trybów uśpienia i zatrzymania zegarów peryferyjnych AHB1 (RCC\_AHB1SMENR). Zewnętrzny sygnał zegara (kwadratowy, sinusoidalny lub trójkątny) z ~ 50% cyklem pracy musi sterować pinem OSC32\_IN, podczas gdy pin OSC32\_OUT może być używany jako GPIO.

### 5.2.6. Zegar LSI

LSI RC działa jako źródło o niskiej mocy dla zegara, które może być uruchomione w trybie zatrzymania i gotowości i dla niezależnego watchdoga (IWDG) i RTC. Częstotliwość zegara wynosi 32 kHz. LSI RC można włączać i wyłączać za pomocą bitu LSION w Rejestrze sterowania / statusu (RCC\_CSR).

Flaga LSIRDY w rejestrze Kontroli / Statusu (RCC\_CSR) wskazuje, czy oscylator LSI jest stabilny, czy nie. Podczas uruchamiania zegar nie jest zwalniany, dopóki ten bit nie zostanie ustawiony sprzętowo. Przerwanie może zostać wygenerowane, jeśli jest włączone w rejestrze aktywacji przerwania zegara (RCC\_CIER).

### 5.2.7. Wybór zegara systemowego (SYSCLK)

Do sterowania zegarem systemowym (SYSCLK) można użyć trzech różnych źródeł zegara:

- Oscylator HSI16
- Oscylator HSE
- PLL

Maksymalna częstotliwość zegara systemowego wynosi 170 MHz. Po zresetowaniu systemu oscylator HSI16 jest wybierany jako zegar systemowy. Gdy źródło zegara jest używane bezpośrednio lub przez PLL jako zegar systemowy nie można go zatrzymać.

Przełączanie z jednego źródła zegara na drugie występuje tylko wtedy, gdy docelowe źródło zegara jest gotowe (zegar stabilny po opóźnieniu uruchomienia lub zablokowany jest PLL). Jeśli zostanie wybrane źródło zegara, które nie jest jeszcze gotowe, przełączenie nastąpi, gdy źródło zegara stanie się gotowe. Bity statusu w rejestrze

kalibracji źródeł zegara wewnętrznego (RCC\_ICSCR) wskazują, który zegar (y) jest (są) gotowe i który zegar jest obecnie używany jako zegar systemowy.

Aby przełączyć z niskiej prędkości na wysoką lub z wysokiej prędkości na niską prędkość zegara systemowego, zaleca się stosowanie stanu przejściowego z zegarem średniej prędkości przez co najmniej 1  $\mu$ s.

Warunki przełączania źródła zegara:

- Przełączanie z HSE lub HSI16 na PLL z częstotliwością AHB (HCLK) wyższą niż 80 MHz
- Przełączanie z PLL z HCLK wyższym niż 80 MHz na HSE lub HSI16
- Stan przejściowy:
- Ustawienie bitów HPRE [3: 0] preskalera AHB, aby podzielić częstotliwość systemu przez 2
- Przełączenie zegara systemowego na PLL
- Odczekanie co najmniej 1  $\mu$ s, a następnie ponownie skonfigurowanie bitów preskalera AHB do wymaganej częstotliwości HCLK

### 5.2.8. Częstotliwość źródła zegara a skalowanie napięcia

Poniższa tabela podaje różne częstotliwości źródła zegara w zależności od zakresu napięcia produktu.

Tabela 30 Częstotliwości zegarów źródłowych

Product voltage range	Clock frequency		
	HSI16	HSE	PLL
Range 1 Boost mode	16 MHz	48 MHz	170 MHz
Range 1 normal mode	16 MHz	48 MHz	150 MHz
Range 2	16 MHz	26 MHz	26 MHz

### 5.2.9. System bezpieczeństwa zegara (CSS Clock security system)

System zabezpieczeń zegara można aktywować za pomocą oprogramowania. W takim przypadku detektor zegara jest włączany po opóźnieniu uruchomienia oscylatora HSE i wyłączany po zatrzymaniu tego oscylatora.

W przypadku wykrycia awarii na zegarze HSE oscylator HSE jest automatycznie wyłączany, zdarzenie awarii zegara jest wysyłane do wejścia przerwania timerów do zaawansowanego sterowania (TIM1 / TIM8 / TIM20 i TIM15 / 16/17) oraz do hrtim\_sys\_flt. Generowane jest przerwanie w celu poinformowania oprogramowania o awarii (Clock Security System Interrupt CSSI), umożliwiające MCU wykonywanie operacji naprawczych. CSSI jest połączony z Cortex<sup>®</sup>-M4 z FPU za pomocą wektora wyjątku NMI (Non-Maskable Interrupt).

*Uwaga: Po włączeniu CSS i awarii zegara HSE następuje przerwanie CSS i automatycznie generowany jest NMI. NMI będzie wykonywane w nieskończoność, chyba że bit oczekujący przerwania CSS zostanie wyczyszczony. W konsekwencji, w NMI ISR użytkownik musi wyczyścić przerwanie CSS, ustawiając bit CSSC w rejestrze kasującym przerwanie zegara (RCC\_CICR).*

Jeśli oscylator HSE jest używany bezpośrednio lub pośrednio jako zegar systemowy (pośrednio oznacza: jest używany jako zegar wejściowy PLL, a zegar PLL jest używany jako zegar systemowy), wykryta awaria powoduje przełączenie zegara systemowego na oscylator HSI16 oraz wyłączenie oscylatora HSE. Jeśli zegar HSE (podzielony lub nie) jest wskazaniem zegara PLL do używania jako zegar systemowy, to gdy wystąpi awaria PLL jest również wyłączany.

### 5.2.10. System bezpieczeństwa zegara na LSE

System bezpieczeństwa zegara na LSE może być aktywowany przez oprogramowanie zapisujące bit LSECSSON w Rejestrze Kontroli / Statusu (RCC\_CSR). Ten bit można wyłączyć tylko przez reset sprzętowy, albo reset oprogramowania RTC lub po wykryciu awarii na LSE. LSECSSON musi zostać ustawiony po włączeniu LSE i LSI

(LSEON i LSION włączone) i gotowości (LSERDY i LSIRDY ustawione sprzętowo), a także po wybraniu zegara RTC przez RTCSEL.

CSS na LSE działa we wszystkich trybach oprócz VBAT. Działa również w trybie resetowania systemu (z wyjątkiem resetu zasilania). Jeśli zostanie wykryta awaria zewnętrznego oscylatora 32 kHz, zegar LSE nie jest już podstawiany do RTC, ale nie jest podejmowane żadne działanie sprzętowe na rejestrach. Jeśli HSI16 był w trybie PLL, to ten tryb jest wyłączony.

W trybie gotowości generowane jest wzbudzenie. W innych trybach można wysłać przerwanie w celu wznowienia oprogramowania (w rejestrze włączania przerwania zegara (RCC\_CIER), rejestrze flag przerwania zegara (RCC\_CIFR) oraz rejestrze kasowania przerwania zegara (RCC\_CICR)).

Oprogramowanie MUSI następnie wyłączyć bit LSECSSON, zatrzymać wadliwy oscylator 32 kHz (wyłączając LSEON) i zmienić źródło zegara RTC (brak zegara lub LSI lub HSE, z RTCSEL) lub podjąć wymagane działania w celu ochrony aplikacji.

Częstotliwość oscylatora LSE musi być wyższa niż 30 kHz, aby uniknąć fałszywie poprawnego wykrywania CSS.

### 5.2.11. Zegar ADC

Zegar ADC pochodzi z zegara systemowego lub z wyjścia „P” PLL. Może osiągnąć 170 MHz i może być podzielony przez następujące wartości preskalerów:

1, 2, 4, 6, 8, 10, 12, 16, 32, 64, 128 lub 256 przez skonfigurowanie rejestru ADCx\_CCR. Jest asynchroniczny z zegarem AHB.

Alternatywnie zegar ADC można uzyskać z zegara AHB interfejsu magistrali ADC, podzielonego przez programowalny współczynnik (1, 2 lub 4). Ten programowalny współczynnik jest konfigurowany za pomocą pól bitowych CKMODE w ADCx\_CCR.

Jeśli zaprogramowany współczynnik to „1”, preskaler AHB musi być ustawiony na 1.

### 5.2.12. Zegar RTC

Źródłem zegara RTCCLK może być zegar HSE / 32, LSE lub LSI. Jest wybierany przez programowanie bitów RTCSEL [1: 0] w rejestrze kontroli domeny RTC (RCC\_BDCR). Wyboru tego nie można zmienić bez zresetowania domeny RTC. System musi zawsze być skonfigurowany w taki sposób, aby uzyskać częstotliwość PCLK większą lub równą częstotliwości RTCCLK dla prawidłowego działania RTC.

Zegar LSE znajduje się w domenie RTC, natomiast zegary HSE i LSI nie.

W konsekwencji:

- Jeśli jako zegar RTC wybrano LSE:
  - RTC kontynuuje pracę, nawet jeśli zasilanie  $V_{DD}$  jest wyłączone, pod warunkiem, że zasilanie  $V_{BAT}$  jest utrzymane.
- Jeśli jako zegar RTC wybrano LSI:
  - Stan RTC nie jest gwarantowany, jeśli zasilanie  $V_{DD}$  jest wyłączone.
- Jeśli zegar HSE podzielony przez preskaler jest używany jako zegar RTC:
  - Stan RTC nie jest gwarantowany, jeśli zasilanie  $V_{DD}$  jest wyłączone lub wewnętrzny regulator napięcia jest wyłączony (odłączenie zasilania z domeny  $V_{CORE}$ ).

Gdy zegar RTC pochodzi z LSE lub LSI to pozostaje taktowany i działa w stanie resetowania systemu.

### 5.2.13. Zegar timera

Częstotliwości zegara timera są automatycznie definiowane przez sprzęt. Istnieją dwa przypadki:

1. Jeśli preskaler APB jest równy 1, częstotliwości zegara taktowania są ustawione na tę samą częstotliwość, co częstotliwość w domenie APB.
2. W przeciwnym razie są ustawione na dwukrotność ( $\times 2$ ) częstotliwości domeny APB.

### 5.2.14. Zegar watchdoga

Jeśli niezależny watchdog (IWDG) jest uruchamiany przez opcję sprzętową lub dostęp programowy, oscylator LSI zostaje włączony i nie można go wyłączyć. Po procedurze synchronizacji oscylatora LSI zegar jest dostarczany do IWDG.

### 5.2.15. Możliwość wyprowadzenia zegara na zewnątrz

- MCO

Funkcja wyjścia zegara mikrokontrolera (MCO microcontroller clock output) pozwala na wyprowadzenie zegara na zewnętrzny pin MCO. Jeden z ośmiu sygnałów zegara można wybrać jako zegar MCO.

- LSI
- LSE
- SYSCLK
- HSI16
- HSI48
- HSE
- PLLCLK

Wybór jest kontrolowany przez bity MCOSEL [3: 0] rejestru konfiguracji zegara (RCC\_CFGR). Wybrany zegar można podzielić za pomocą pola MCOPRE [2: 0] rejestru konfiguracji zegara (RCC\_CFGR).

- LSCO

Inne wyjście (LSCO) pozwala na wyprowadzenie zegara niskiej prędkości na zewnętrzny pin LSCO:

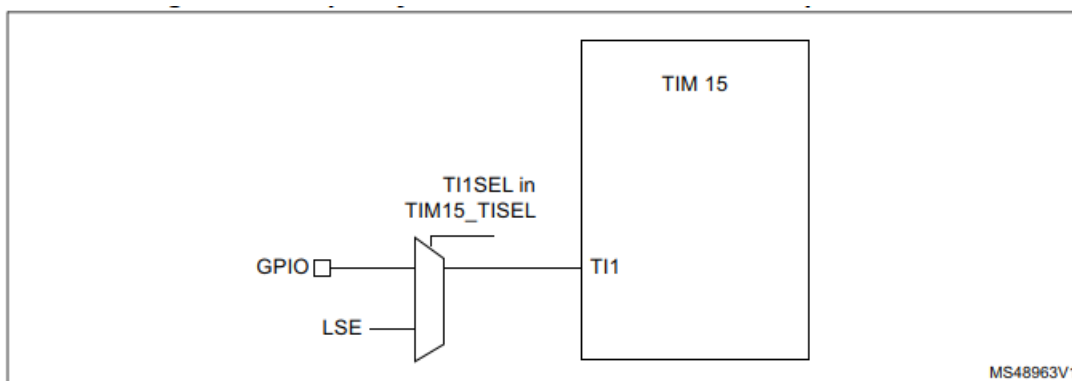
- LSI
- LSE

To wyjście pozostaje dostępne w trybach Stop (Stop 0 i Stop 1) oraz Standby. Wybór jest kontrolowany przez LSCOSEL i włączany za pomocą bitu LSCOEN w rejestrze kontroli domeny RTC (RCC\_BDCR).

Wyjście zegara MCO wymaga odpowiedniej funkcji wybranej na pinie MCO. Pin LSCO powinien pozostać w domyślnym stanie POR.

### 5.2.16. Pomiar zegara wewnętrznego / zewnętrznego za pomocą TIM5 / TIM15 / TIM16 / TIM17

Możliwe jest pośrednie mierzenie częstotliwości wszystkich pokładowych źródeł zegara za pomocą TIM5, TIM15, TIM16 lub TIM17 przechwytywanych na wejściu kanału 1, jak pokazano na rysunkach poniżej.

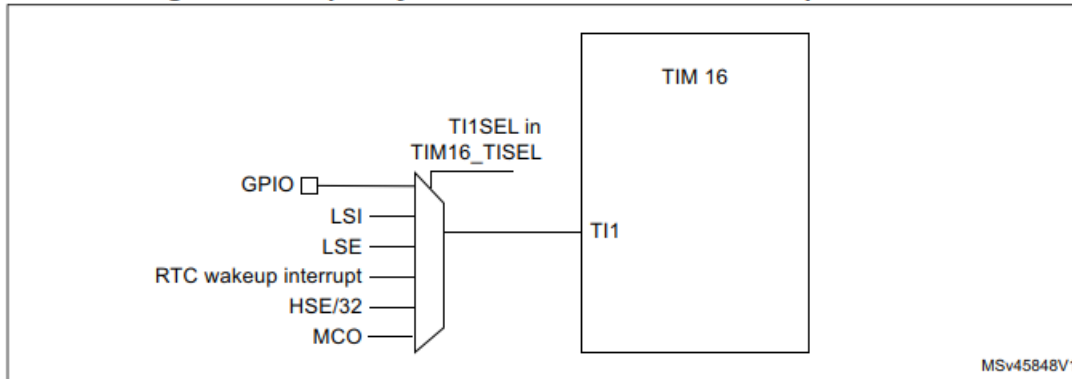


Rysunek 13 Pomiar częstotliwości w trybie przechwytywania TIM15



Wejściowym kanałem przechwytywania Timera 15 może być linia GPIO lub wewnętrzny zegar MCU. Możliwości są następujące:

- Kanał 1 TIM15 jest podłączony do GPIO. Zapoznaj się z mapowaniem funkcji alternatywnych w arkuszach danych urządzenia.
- Kanał 1 TIM15 jest podłączony do LSE.

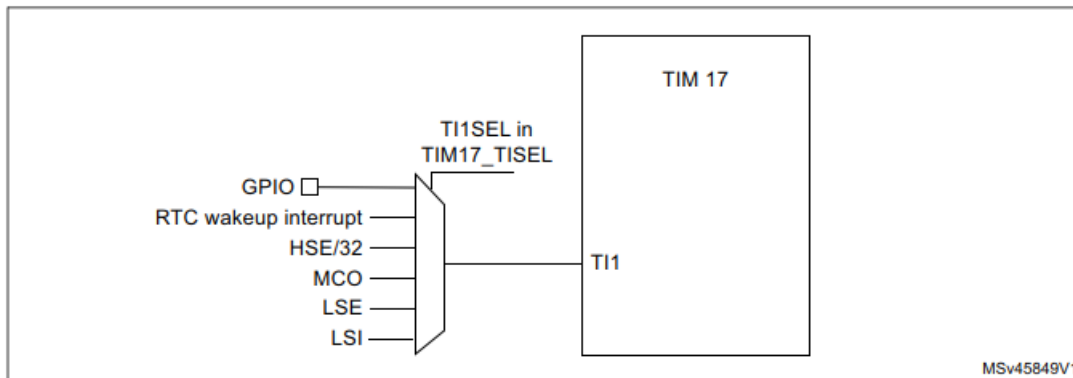


Rysunek 14 Pomiar częstotliwości w trybie przechwytywania TIM16

Wejściowym kanałem przechwytywania Timera 16 może być linia GPIO lub wewnętrzny zegar MCU.

Możliwości są następujące:

- Kanał 1 TIM16 jest podłączony do GPIO.
- Kanał 1 TIM16 jest podłączony do zegara LSI.
- Kanał 1 TIM16 jest podłączony do zegara LSE.
- Kanał 1 TIM16 jest podłączony do sygnału przerwania wzbudzenia RTC. W takim przypadku przerwanie RTC powinno być włączone.
- Kanał 1 TIM16 jest podłączony do zegara HSE / 32.
- Kanał 1 TIM16 jest podłączony do MCO.



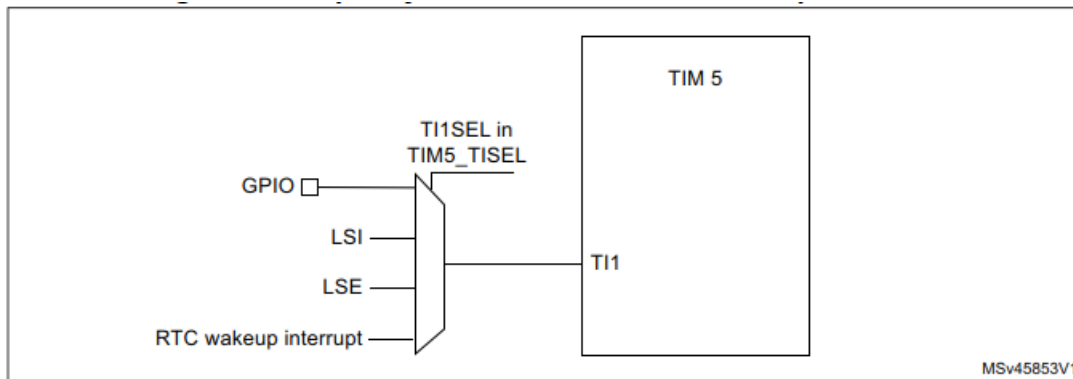
Rysunek 15 Pomiar częstotliwości w trybie przechwytywania TIM17

Wejściowym kanałem przechwytywania Timera 17 może być linia GPIO lub wewnętrzny zegar MCU.

Możliwości są następujące:

- Kanał 1 TIM17 jest podłączony do GPIO.
- Kanał 1 TIM17 jest podłączony do przerwania wzbudzenia RTC. W takim przypadku przerwanie RTC powinno być włączone.
- Kanał 1 TIM17 jest podłączony do zegara HSE / 32.
- Kanał 1 TIM17 jest podłączony do wyjścia zegara mikrokontrolera (MCO), wybór ten jest kontrolowany przez bity MCOSEL [3: 0] rejestrze konfiguracji zegara (RCC\_CFGR).

- Kanał 1 TIM17 jest podłączony do zegara LSE.
- Kanał 1 TIM17 jest podłączony do zegara LSI.



Rysunek 16 Pomiar częstotliwości w trybie przechwytywania TIM5

Wejściowym kanałem przechwytywania Timera 5 może być linia GPIO lub wewnętrzny zegar MCU.

Możliwości są następujące:

- Kanał 1 TIM5 jest podłączony do GPIO.
- Kanał 1 TIM5 jest podłączony do zegara LSI.
- Kanał 1 TIM5 jest podłączony do zegara LSE.
- Kanał 1 TIM5 jest podłączony do sygnału przerwania wzbudzenia RTC. W takim przypadku przerwanie RTC powinno być włączone.

### Kalibracja HSI16

W przypadku TIM15 i TIM16 głównym celem podłączenia LSE do wejścia kanału 1 jest możliwość precyzyjnego pomiaru zegarów systemowych HSI16 (w tym celu HSI16 powinien być używany jako źródło zegara systemowego). Liczba zliczeń cykli HSI16 między kolejnymi zboczami sygnału LSE stanowi miarę okresu wewnętrznego zegara. Korzystając z wysokiej precyzji kryształów LSE (zwykle kilkudziesięciu ppm), możliwe jest określenie częstotliwości wewnętrznego zegara o tej samej rozdzielczości i przycięcie częstotliwości źródła w celu skompensowania odchyłań związanych z technologią produkcyjną, procesem, temperaturą i / lub napięciem.

Oscylator HSI16 ma dedykowane do tego celu, dostępne dla użytkownika, bity kalibracyjne. Podstawowa koncepcja polega na zapewnieniu pomiaru względnego (stosunku HSI16 / LSE): dlatego precyzja jest ściśle związana ze wartością stosunku między dwoma źródłami zegara. Im wyższy stosunek, tym lepszy będzie pomiar.

Jeśli LSE nie jest dostępny, HSE/32 będzie lepszą opcją, aby osiągnąć jak najdokładniejszą kalibrację.

### Kalibracja LSI

Kalibracja LSI będzie przebiegać według tego samego wzoru, co w przypadku HSI16, ale zmienia się zegar odniesienia. Konieczne będzie połączenie zegara LSI z przechwytywaniem TIM16 na wejściu kanału 1. Po ustawieniu HSE jako źródła zegara systemowego, liczba cykli zliczonych między kolejnymi zboczami sygnału LSI stanowi miarę wewnętrznego okresu taktowania niskiej prędkości.

Podstawowa koncepcja polega na zapewnieniu pomiaru względnego (stosunku HSE / LSI): dlatego precyzja jest ściśle związana ze stosunkiem między dwoma źródłami zegara. Im wyższy stosunek, tym lepszy będzie pomiar.

### 5.2.17. Rejestr włączania zegara peryferyjnego (RCC\_AHBxENR, RCC\_APBxENRy)

Każdy zegar peryferyjny można włączyć za pomocą bitu xxxEN rejestrów RCC\_AHBxENR, RCC\_APBxENRy.

Gdy zegar peryferyjny nie jest aktywny, dostęp do odczytu lub zapisu rejestrów peryferyjnych nie jest obsługiwany.

Bit aktywacji ma mechanizm synchronizacji, aby utworzyć bezbłędny zegar dla urządzeń peryferyjnych. Po inicjacji aktywacji bitu ustawiane jest opóźnienie 2 cykli zanim zegar będzie aktywny.

Uwaga: Zaraz po włączeniu zegara dla urządzenia peryferyjnego oprogramowanie musi poczekać na opóźnienie zanim uzyska dostęp do rejestrów urządzeń peryferyjnych.

### 5.3. Tryby niskiego poboru mocy

- Zegary peryferyjne AHB i APB, w tym zegar DMA, można wyłączyć programowo.
- Tryby uśpienia i niskiego zużycia energii zatrzymują zegar procesora. Zegary interfejsu pamięci (interfejsy Flash, SRAM1, SRAM2 i CCM SRAM) można zatrzymać programowo w trybie uśpienia. Zegary mostkowe AHB do APB są wyłączone sprzętowo podczas trybu uśpienia, gdy wszystkie zegary podłączonych do nich urządzeń peryferyjnych są wyłączone.
- Tryby zatrzymania (Stop 0 i Stop 1) zatrzymują wszystkie zegary w domenie  $V_{CORE}$  i wyłączają oscylatory PLL, HSI16 i HSE.

Wszystkie urządzenia U(S)ART, LPUART i I<sup>2</sup>C mają zdolność włączania oscylatora HSI16, nawet gdy MCU znajduje się w trybie zatrzymania (jeśli jako źródło zegara dla tych peryferiów wybrano HSI16).

Wszystkie urządzenia U(S)ART. i LPUART mogą być również sterowane przez oscylator LSE, gdy system znajduje się w trybie zatrzymania (jeśli LSE jest wybrane jako źródło zegara dla tych urządzeń peryferyjnych), a oscylator LSE jest włączony (LSEON). W takim przypadku LSE pozostaje zawsze włączony w trybie zatrzymania (urządzenia mają możliwość włączenia oscylatora LSE).

- Tryby gotowości i wyłączenia (Standby ai Shutdown) zatrzymują wszystkie zegary w domenie  $V_{CORE}$  i wyłączają oscylatory PLL, HSI16 i HSE.

Tryb głębokiego uśpienia procesora można zastąpić w celu debugowania, ustawiając bity DBG\_STOP lub DBG\_STANDBY w rejestrze DBGMCU\_CR.

Opuszczając tryby zatrzymania (Stop 0, Stop 1 lub Standby), zegarem systemowym jest HSI16.

Jeśli trwa programowanie pamięci Flash, wejście w tryby zatrzymania, gotowości i wyłączenia jest opóźnione do momentu zakończenia dostępu do interfejsu pamięci Flash. Jeśli dostęp do domeny APB jest w toku, wejście w tryb zatrzymania, gotowości i zamknięcia jest opóźnione do momentu zakończenia dostępu do APB.

### 5.4. Rejestry RCC

#### 5.4.1. Rejestr sterowania zegarem (RCC\_CR)

Przesunięcie adresu: 0x00

Wartość resetowania: 0x0000 0063

Reset nie ma wpływu na stan HSEBYP.

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	PLL RDY	PLLON	Res.	Res.	Res.	Res.	CSSON	HSEBYP	HSERDY	HSEON
						r	rw					rs	rw	r	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	HSI RDY	HSI KERON	HSION	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
					r	rw	rw								

Bit 31: 26 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 25 **PLL RDY**: Flaga gotowości głównego zegara PLL

	<p>Ustawiany sprzętowo, aby wskazać, że główny PLL jest zablokowany.                  0: PLL odblokowany                  1: PLL zablokowany</p>
Bit 24	<p><b>PLLON:</b> Włączenie głównego zegara PLL</p> <p>Ustawiany i czyszczony przez oprogramowanie, w celu udostępnienia głównego zegara PLL.                  Kasowany sprzętowo po przejściu w tryb zatrzymania, gotowości lub wyłączenia. Tego bitu nie można zresetować, jeśli zegar PLL jest używany jako zegar systemowy.                  0: PLL WYŁĄCZONY                  1: PLL WŁĄCZONY</p>
Bity 23: 20	<p>Zarezerwowane, muszą być utrzymywane wartości resetowania.</p>
Bit 19	<p><b>CSSON:</b> Włączony system bezpieczeństwa zegara</p> <p>Ustawiany przez oprogramowanie, aby włączyć system bezpieczeństwa zegara. Gdy CSSON jest ustawiony, detektor zegara jest włączany sprzętowo, gdy oscylator HSE jest gotowy, i wyłączany sprzętowo, jeśli zostanie wykryta awaria zegara HSE. Ten bit ustawia tylko stan logiczny i jest kasowany przez reset.                  0: Wyłączony system bezpieczeństwa zegara (wyłączony wykrywacz zegara)                  1: System zabezpieczeń zegara włączony (detektor zegara włączony, jeśli oscylator HSE jest stabilny, wyłączony, jeśli nie jest).</p>
Bit 18	<p><b>HSEBYP:</b> Obejście oscylatora kryształowego HSE</p> <p>Ustawiany i czyszczony przez oprogramowanie w celu obejścia oscylatora za pomocą zegara zewnętrznego. Zegar zewnętrzny musi być włączony z ustawionym bitem HSEON, który ma być używany przez urządzenie. Bit HSEBYP można zapisać tylko wtedy, gdy oscylator HSE jest wyłączony.                  0: Oscylator kwarcowy HSE nie został pominięty                  1: Oscylator kwarcowy HSE ominięty zewnętrznym zegarem</p>
Bit 17	<p><b>HSERDY:</b> Flaga gotowości zegara HSE</p> <p>Ustawiany sprzętowo, aby wskazać, że oscylator HSE jest stabilny.                  0: Oscylator HSE nie jest gotowy                  1: Gotowy oscylator HSE</p> <p><i>Uwaga: Po wyczyszczeniu bitu HSEON HSERDY obniża się po 6 cyklach zegara HSE.</i></p>
Bit 16	<p><b>HSEON:</b> Włączanie zegara HSE</p> <p>Ustawiany i czyszczony przez oprogramowanie.</p> <p>Wyczyszczony przez sprzęt, aby zatrzymać oscylator HSE po przejściu w tryb zatrzymania, gotowości lub wyłączenia. Tego bitu nie można zresetować, jeśli oscylator HSE jest używany bezpośrednio lub pośrednio jako zegar systemowy.                  0: Oscylator HSE WYŁĄCZONY                  1: Oscylator HSE WŁĄCZONY</p>
Bity 15: 11	<p>Zarezerwowane, muszą być utrzymywane wartości resetowania.</p>
Bit 10	<p><b>HSIRDY:</b> Flaga gotowości zegara HSI16</p> <p>Ustawiany sprzętowo, aby wskazać, że oscylator HSI16 jest stabilny. Ten bit jest ustawiany tylko wtedy, gdy HSI16 jest włączany przez oprogramowanie poprzez ustawienie HSION.                  0: Oscylator HSI16 nie jest gotowy</p>

1: Oscylator HSI16 gotowy

*Uwaga: Po wyczyszczeniu bitu HSION HSIRDY obniża się po 6 cyklach zegara HSI16.*

Bit 9

**HSIKERON:** HSI16 jest dostępny dla jąder (*kernel*s) peryferiów.

Ustawiany i kasowany przez oprogramowanie, aby wymusić włączenie HSI16 nawet w trybach Stop. HSI16 może zasilac tylko urządzenia peryferyjne USART i I<sup>2</sup>C skonfigurowane z HSI16 jako zegar jądra. Utrzymanie HSI16 w trybie zatrzymania pozwala uniknąć spowolnienia prędkości komunikacji z powodu czasu uruchamiania HSI16. Ten bit nie ma wpływu na wartość HSION.

0: Brak wpływu na oscylator HSI16.

1: Oscylator HSI16 jest wymuszony WŁĄCZONY nawet w trybie zatrzymania.

Bit 8

**HSION:** Włączanie zegara HSI16

Ustawiany i czyszczony przez oprogramowanie.

Czyszczony przez sprzęt, aby zatrzymać oscylator HSI16 po przejściu w tryb zatrzymania, gotowości lub wyłączenia.

Ustawiany sprzętowo, aby wymusić włączenie oscylatora HSI16, gdy STOPWUCK = 1 lub HSIASF5 = 1 podczas opuszczania trybów zatrzymania lub w przypadku awarii oscylatora kryształowego HSE.

Ten bit jest ustawiany sprzętowo, jeśli HSI16 jest używany bezpośrednio lub pośrednio jako zegar systemowy.

0: Oscylator HSI16 WYŁĄCZONY

1: Oscylator HSI16 WŁĄCZONY

Bity 7: 0

Zarezerwowane, muszą być utrzymywane wartości resetowania.

## 5.4.2. Rejestr kalibracji źródeł zegara wewnętrznego (RCC\_ICSCR)

Przesunięcie adresu: 0x04

Wartość resetowania: 0x40XX 00XX, gdzie X jest zaprogramowany fabrycznie.

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	HSITRIM[6:0]							HSICAL[7:0]							
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

Bit 31

Zarezerwowany, musi być utrzymywany na wartości resetowania.

Bity 30: 24

**HSITRIM [6: 0]:** Przycinanie zegara HSI16

Te bity zapewniają dodatkową wartość przycinania programowaną przez użytkownika, która jest dodawana do bitów HSICAL [7: 0]. Można je zaprogramować w celu dostosowania częstotliwości z powodu zmian napięcia i temperatury, które wpływają na częstotliwość HSI16.

Wartość domyślna to 16, która po dodaniu do wartości HSICAL powinna przyciąć HSI16 do 16 MHz ± 1%.

Bity 23: 16

**HSICAL [7: 0]:** Kalibracja zegara HSI16

Te bity są inicjowane podczas uruchamiania jako fabrycznie zaprogramowane wartości korekcji kalibracji HSI16.

Gdy zapisywany jest HSITRIM, HSICAL jest aktualizowany o sumę HSITRIM i fabryczną wartość przycięcia.

Bity 15: 0 Zarezerwowane, muszą być utrzymywane wartości resetowania.

### 5.4.3. Rejestr konfiguracji zegara (RCC\_CFGR)

Przesunięcie adresu: 0x08

Wartość resetowania: 0x0000 0005

Dostęp:  $0 \leq \text{stan oczekiwania} \leq 2$ , dostęp do słów, pół słów i bajtów

Wartości 1 lub 2 wstawiane tylko wtedy gdy dostęp do stanu oczekiwania występuje podczas przełączania źródła zegara.

Od 0 do 15 stanów oczekiwania (WS) jest ustawione, jeśli dostęp jest wykryty, gdy trwa aktualizacja wartości preskalerów APB lub AHB.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	MCOPRE[2:0]			MCOSEL[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	r/w	r/w	r/w	r/w	r/w	r/w	r/w								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	PPRE2[2:0]			PPRE1[2:0]			HPRE[3:0]			SWS[1:0]		SW[1:0]		
		r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r	r	r/w	r/w

Bit 31 Zarezerwowany, musi być utrzymywana wartość resetowania.

Bity 30: 28 **MCOPRE [2: 0]**: Preskaler wyjścia zegara mikrokontrolera

Te bity są ustawiane i usuwane przez oprogramowanie.

Zdecydowanie zaleca się zmianę tego preskalera przed włączeniem wyjścia MCO.

000: MCO dzieli się przez 1

001: MCO jest dzielone przez 2

010: MCO jest dzielone przez 4

011: MCO jest dzielone przez 8

100: MCO jest dzielone przez 16

Inne: niedozwolone

Bity 27: 24 **MCOSEL [3: 0]**: Wyjście zegara mikrokontrolera

Ustawiane i czyszczone przez oprogramowanie.

0000: Wyjście MCO wyłączone, brak zegara na MCO

0001: Wybrano zegar systemowy SYSCLK

0010: Zarezerwowany, musi być utrzymywana na wartość resetowania

0011: Wybrano zegar HSI16

0100: Wybrano zegar HSE

0101: Wybrano główny zegar PLL

0110: Wybrano zegar LSI

0111: Wybrano zegar LSE

1000: Wybrano wewnętrzny zegar HSI48

Inne: zastrzeżone

*Uwaga: To wyjście zegara może mieć niektóre skrócone cykle podczas uruchamiania lub podczas przełączania źródła zegara MCO.*

Bity 23: 14 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 13: 11 **PPRE2 [2: 0]**: Preskaler APB2

- Ustawiane i kasowane przez oprogramowanie do sterowania współczynnikiem podziału zegara APB2 (PCLK2).  
0xx: HCLK niepodzielony  
100: HCLK podzielony przez 2  
101: HCLK podzielony przez 4  
110: HCLK podzielony przez 8  
111: HCLK podzielony przez 16
- Bity 10: 8**     **PPRE1 [2: 0]:** Preskaler APB1
- Ustawiane i kasowane przez oprogramowanie do sterowania współczynnikiem podziału zegara APB1 (PCLK1).  
0xx: HCLK niepodzielony  
100: HCLK podzielony przez 2  
101: HCLK podzielony przez 4  
110: HCLK podzielony przez 8  
111: HCLK podzielony przez 16
- Bity 7: 4**     **HPRE [3: 0]:** Preskaler AHB
- Ustawiane i kasowane przez oprogramowanie do sterowania współczynnikiem podziału zegara AHB.  
*Uwaga: W zależności od zakresu napięcia urządzenia oprogramowanie musi poprawnie ustawić te bity, aby częstotliwość systemu nie przekraczała maksymalnej dozwolonej częstotliwości. Po operacji zapisu na tych bitach i przed zmniejszeniem zakresu napięcia rejestr ten należy odczytać, aby upewnić się, że nowa wartość została uwzględniona.*  
0xxx: SYSCLK niepodzielony  
1000: SYSCLK podzielony przez 2  
1001: SYSCLK podzielony przez 4  
1010: SYSCLK podzielony przez 8  
1011: SYSCLK podzielony przez 16  
1100: SYSCLK podzielony przez 64  
1101: SYSCLK podzielony przez 128  
1110: SYSCLK podzielony przez 256  
1111: SYSCLK podzielony przez 512
- Bity 3: 2**     **SWS [1: 0]:** Status przełącznika zegara systemowego
- Ustawione i czyszczone przez sprzęt, aby wskazać, które źródło zegara jest używane jako zegar systemowy.  
00: Zarezerwowany, musi być utrzymywana wartość resetowania  
01: Oscylator HSI16 używany jako zegar systemowy  
10: HSE używany jako zegar systemowy  
11: PLL używany jako zegar systemowy
- Bity 1: 0**     **SW [1: 0]:** Przełącznik zegara systemowego
- Ustawione i czyszczone przez oprogramowanie, aby wybrać źródło zegara systemowego (SYSCLK).
- Bity skonfigurowane sprzętowo w celu wymuszenia wyboru oscylatora HSI16 podczas wychodzenia z trybu zatrzymania i czuwania lub w przypadku awarii oscylatora HSE.
- 00: Zarezerwowany, musi być utrzymywana na wartość resetowania  
01: HSI16 wybrany jako zegar systemowy  
10: HSE wybrany jako zegar systemowy



## 11: PLL wybrany jako zegar systemowy

## 5.4.4. Rejestr konfiguracji PLL (RCC\_PLLCFGR)

Przesunięcie adresu: 0x0C

Wartość resetowania: 0x0000 1000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

Rejestr ten służy do konfigurowania wyjść zegara PLL zgodnie ze wzorami:

- $f(\text{zegar VCO}) = f(\text{wejście zegara PLL}) \times (\text{PLL N} / \text{PLL M})$
- $f(\text{PLL}_P) = f(\text{zegar VCO}) / \text{PLL P}$
- $f(\text{PLL}_Q) = f(\text{zegar VCO}) / \text{PLL Q}$
- $f(\text{PLL}_R) = f(\text{zegar VCO}) / \text{PLL R}$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PLLPDIV[4:0]					PLLR[1:0]		PLL REN	Res.	PLLQ[1:0]		PLL QEN	Res.	Res.	PLL P	PLL PEN
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w			r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PLL N[6:0]						PLL M[3:0]				Res.	Res.	PLLSRC[1:0]		
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w			r/w	r/w

Bity 31: 27

**PLLPDIV [4: 0]:** Główny współczynnik podziału PLLP

Ustawiane i kasowane przez oprogramowanie do sterowania częstotliwością „P” PLL. Częstotliwość taktowania wyjściowego PLL „P” = częstotliwość VCO / PLLPDIV.

00000: Zegar PLL „P” jest kontrolowany przez bit PLLP

00001: zarezerwowany.

00010: Zegar PLL „P” = VCO / 2

...

11111: Zegar PLL „P” = VCO / 31

Bity 26: 25

**PLLR [1: 0]:** Współczynnik podziału głównego PLL dla zegara PLL „R” (zegar systemowy)

Ustawiany i czyszczony przez oprogramowanie. do sterowania częstotliwością głównego zegara wyjściowego PLL PLLCLK.

To wyjście można wybrać jako zegar systemowy. Te bity można zapisać tylko wtedy, gdy PLL jest wyłączony.

Częstotliwość taktowania wyjściowego PLL „R” = częstotliwość VCO / PLLR przy PLLR = 2, 4, 6 lub 8

00: PLLR = 2

01: PLLR = 4

10: PLLR = 6

11: PLLR = 8

*Uwaga: Oprogramowanie musi poprawnie ustawić te bity, aby nie przekraczana była wartość 170 MHz w tej domenie.*

**Bit 24 PLLREN:** Włączenie wyjścia zegarowego PLL „R”

Ustawiane i resetowane przez oprogramowanie, aby włączyć wyjście zegara PLL „R” PLL (gdy używane jako zegar systemowy).

Tego bitu nie można zapisać, gdy wyjście zegara PLL „R” PLL jest używane jako zegar systemowy.

Aby oszczędzać energię, gdy wyjście PLL „R” PLL nie jest używane, wartość PLLREN powinna wynosić 0.

0: Wyłączenie wyjścia zegara PLL „R”

	1: Włączenie wyjścia zegara PLL „R”
Bit 23	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bity 22: 21	<p><b>PLLQ [1: 0]:</b> Główny współczynnik podziału PLL dla zegara PLL „Q”.</p> <p>Ustawiane i czyszczone przez oprogramowanie do sterowania częstotliwością głównego zegara wyjściowego PLL przez zegar PLL „Q”.</p> <p>To wyjście można wybrać dla USB, RNG, SAI (zegar 48 MHz). Te bity można zapisać tylko wtedy, gdy PLL jest wyłączone.</p> <p>Częstotliwość taktowania wyjściowego PLL „Q” = częstotliwość VCO / PLLQ z PLLQ = 2, 4, 6 lub 8</p> <p>00: PLLQ = 2</p> <p>01: PLLQ = 4</p> <p>10: PLLQ = 6</p> <p>11: PLLQ = 8</p> <p><i>Uwaga: Oprogramowanie musi poprawnie ustawić te bity, aby nie przekraczana była częstotliwość 170 MHz w tej domenie.</i></p>
Bit 20	<p><b>PLLQEN:</b> Aktywacja wyjścia zegara głównego PLL „Q”</p> <p>Ustawiany i resetowany przez oprogramowanie, aby umożliwić wyjście zegara PLL „Q” PLL.</p> <p>Aby oszczędzać energię, gdy wyjście PLL „Q” zegara PLL nie jest używane, wartość PLLQEN powinna wynosić 0.</p> <p>0: Wyłączenie wyjścia zegara „PL” „Q”</p> <p>1: Włączenie wyjścia zegarowego PLL „Q”</p>
Bity 19: 18	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 17	<p><b>PLL P:</b> Główny współczynnik podziału PLL dla zegara PLL „P”.</p> <p>Ustawiany i kasowany przez oprogramowanie zegar PLL „P” do sterowania częstotliwością głównego zegara wyjściowego PLL. Te bity można zapisać tylko wtedy, gdy PLL jest wyłączone.</p> <p>Gdy PLLPDIV [4: 0] jest ustawiony na „00000” to wartość wyjściowa częstotliwości taktowania PLL „P” = częstotliwość VCO / PLLP z PLLP = 7 lub 17</p> <p>0: PLLP = 7</p> <p>1: PLLP = 17</p> <p><i>Uwaga: Oprogramowanie musi poprawnie ustawić te bity, aby nie przekraczana była częstotliwość 170 MHz w tej domenie.</i></p>
Bit 16	<p><b>PLL PEN:</b> Włączenie wyjścia PLL „P” zegara głównego PLL</p> <p>Ustawiany i resetowany przez oprogramowanie, aby włączyć wyjście zegara PLL „P” PLL.</p> <p>Aby oszczędzać energię, gdy wyjście PLL „P” zegara PLL nie jest używane, wartość PLLPEN powinna wynosić 0.</p> <p>0: Wyłączenie wyjścia zegara PLL „P”</p> <p>1: Włączenie wyjścia zegara PLL „P”</p>
Bit 15	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bity 14: 8	<p><b>PLL N [6: 0]:</b> Główny współczynnik multiplikacji PLL dla VCO</p> <p>Ustawiane i kasowane przez oprogramowanie do kontroli współczynnika mnożenia VCO. Te bity można zapisać tylko wtedy, gdy PLL jest wyłączone.</p>

Częstotliwość wyjściowa VCO = częstotliwość wejściowa VCO x PLLN przy spełnieniu warunku:  $8 \leq \text{PLLN} \leq 127$

0000000: PLLN = 0 zła konfiguracja

0000001: PLLN = 1 zła konfiguracja

...

00001111: PLLN = 7 zła konfiguracja

0001000: PLLN = 8

0001001: PLLN = 9

...

11111111: PLLN = 127

*Uwaga: Oprogramowanie musi poprawnie ustawić te bity, aby zapewnić że częstotliwość wyjściowa VCO wynosi od 64 do 344 MHz.*

Bity 7: 4

**PLLM [3: 0]:** Współczynnik podziału dla głównego zegara wejściowego PLL

Ustawiane i czyszczone przez oprogramowanie do podziału zegara wejściowego PLL przed VCO. Te bity można zapisać tylko wtedy, gdy wszystkie PLL są wyłączone.

Częstotliwość wejściowa VCO = częstotliwość zegara wejściowego PLL / PLLM pod warunkiem, że  $1 \leq \text{PLLM} \leq 16$

0000: PLLM = 1

0001: PLLM = 2

0010: PLLM = 3

0011: PLLM = 4

0100: PLLM = 5

0101: PLLM = 6

0110: PLLM = 7

0111: PLLM = 8

1000: PLLSYSM = 9

...

1111: PLLSYSM = 16

*Uwaga: Oprogramowanie musi poprawnie ustawić te bity, aby zapewnić, że częstotliwość wejściowa VCO wynosi od 2,66 MHz do 8 MHz.*

Bity 3: 2

Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 1: 0

**PLLSRC [1: 0]:** Główne źródło zegara wejścia PLL

Ustawiane i zyszczone przez oprogramowanie, aby wybrać źródło zegara PLL. Te bity można zapisać tylko wtedy, gdy PLL jest wyłączony.

W celu oszczędzania energii, gdy PLLSRC nie jest używane, wartość PLLSRC powinna wynosić 00.

00: Brak zegara wysłanego do PLL

01: Brak zegara wysłanego do PLL

10: Zegar HSI16 wybrany jako pozycja zegara PLL

11: Zegar HSE wybrany jako pozycja zegara PLL

### 5.4.5. Rejestr włączania/przerwania zegara (RCC\_CIER)

Przesunięcie adresu: 0x18

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	HSI48 RDYIE	LSE CSSIE	Res.	Res.	Res.	PLL RDYIE	HSE RDYIE	HSI RDYIE	Res.	LSE RDYIE	LSI RDYIE
					rw	rw				rw	rw	rw		rw	rw

- Bit 31: 11      Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 10      **HSI48RDYIE:** Włączenie przerwania gotowości HSI48  
 Ustawiany i kasowany przez oprogramowanie, aby włączyć / wyłączyć przerwanie spowodowane przez wewnętrzny oscylator HSI48.  
 0: Przerwanie gotowości HSI48 wyłączone  
 1: Włączone przerwanie gotowości HSI48
- Bit 9      **LSECSSIE:** Włączenie przerwania systemu bezpieczeństwa zegara LSE  
 Ustawiany i kasowany przez oprogramowanie, aby włączyć / wyłączyć przerwanie spowodowane przez system bezpieczeństwa zegara na LSE.  
 0: Wyłączone przerwanie bezpieczeństwa zegara spowodowane awarią zegara LSE  
 1: Włączone przerwanie bezpieczeństwa zegara spowodowane awarią zegara LSE
- Bit 8: 6      Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 5      **PLLRDYIE:** Włączenie gotowości przerwania PLL  
 Ustawiany i kasowany przez oprogramowanie, aby włączyć / wyłączyć przerwanie spowodowane blokadą PLL.  
 0: Przerwanie blokady PLL wyłączone  
 1: Włączone przerwanie blokady PLL
- Bit 4      **HSERDYIE:** Włączenie gotowości przerwania HSE  
 Ustawiany i kasowany przez oprogramowanie, aby włączyć / wyłączyć przerwanie spowodowane stabilizacją oscylatora HSE.  
 0: Gotowość przerwania HSE wyłączona  
 1: Gotowość przerwania HSE włączona E
- Bit 3      **HSIRDYIE:** Włączenie gotowości przerwania HSI16  
 Ustawiany i kasowany przez oprogramowanie, aby włączyć / wyłączyć przerwanie spowodowane stabilizacją oscylatora HSI16.  
 0: Gotowość przerwania HSI16 wyłączona  
 1: Gotowość przerwania HSI16 włączona
- Bit 2      Zarezerwowany, musi być utrzymywana wartość resetowania.
- Bit 1      **LSERDYIE:** Włączenie przerwania w trybie LSE  
 Ustawiany i kasowany przez oprogramowanie, aby włączyć / wyłączyć przerwanie spowodowane stabilizacją oscylatora LSE.  
 0: Gotowość przerwania LSE wyłączona  
 1: Gotowość przerwania LSE włączona
- Bit 0      **LSIRDYIE:** Włączenie przerwania gotowości LSI  
 Ustawiany i kasowany przez oprogramowanie, aby włączyć / wyłączyć przerwanie spowodowane stabilizacją oscylatora LSI.  
 0: Gotowość przerwania LSI wyłączona

## 1: Gotowość przerwania LSI włączona

## 5.4.6. Rejestr flag przerwania zegara (RCC\_CIFR)

Przesunięcie adresu: 0x1C

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	HSI48 RDYF	LSE CSSF	CSSF	Res.	Res.	PLL RDYF	HSE RDYF	HSI RDYF	Res.	LSE RDYF	LSI RDYF
					r	r	r			r	r	r		r	r

Bit 31: 11 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 10 **HSI48RDYF**: Flaga gotowości dla przerwania HSI48

Ustawiany sprzętowo, gdy zegar HSI48 ustabilizuje się, a HSI48RDYIE zostanie ustawiony w odpowiedzi na ustawienie HSI48ON.

Czyszczony przez oprogramowanie ustawiające bit HSI48RDYC.

0: Brak gotowości przerwania zegara ustawionego przez oscylator HSI48

1: Gotowość przerwania zegara ustawionego przez oscylator HSI48

Bit 9 **LSECSSF**: Flaga przerwania dla systemu bezpieczeństwa zegara LSE

Ustawiany sprzętowo po wykryciu awarii w oscylatorze LSE.

Kasowany przez oprogramowanie ustawiające bit LSECSSC.

0: Brak przerwania ochrony zegara spowodowanego awarią zegara LSE

1: Ustawienie przerwania ochrony zegara spowodowanego awarią zegara LSE

Bit 8 **CSSF**: Flaga przerwania dla systemu bezpieczeństwa zegara systemowego

Ustawiany sprzętowo po wykryciu awarii oscylatora HSE.

Kasowany przez oprogramowanie ustawiające bit CSSC.

0: Brak przerwania ochrony zegara spowodowanego awarią zegara HSE

1: Ustawienie przerwania ochrony zegara spowodowanego awarią zegara HSE

Bit 7: 6 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 5 **PLLRDYF**: Flaga gotowości przerwania dla PLL

Ustawiany sprzętowo, gdy blokuje się PLL i jest ustawiony PLLRDYDIE.

Kasowany przez oprogramowanie ustawiające bit PLLRDYC.

0: Brak gotowości przerwania zegara po awarii spowodowanej blokadą PLL

1: Ustawienie gotowości przerwania zegara po awarii spowodowanej blokadą PLL

Bit 4 **HSERDYF**: Flaga gotowości przerwania dla HSE

Ustawiany sprzętowo, gdy zegar HSE ustabilizuje się, a HSERDYDIE zostanie ustawiony.

Kasowany przez oprogramowanie ustawiające bit HSERDYC.

0: Brak przerwania ochrony zegara spowodowanego awarią oscylatora HSE

1: Ustawienie przerwania ochrony zegara spowodowanego awarią oscylatora HSE

Bit 3 **HSIRDYF**: Flaga gotowości przerwania dla HSI16

Ustawiany sprzętowo, gdy zegar HSI16 ustabilizuje się, a HSIRDYDIE zostanie ustawiony w odpowiedzi na ustawienie HSION. Gdy HSION nie jest ustawiony, ale

oscylator HSI16 jest włączony przez urządzenie peryferyjne poprzez żądanie zegara, ten bit nie jest ustawiony i nie jest generowane żadne przerwanie.

Kasowany przez oprogramowanie ustawiające bit HSIRDYC.

0: Brak przerwania ochrony zegara spowodowanego awarią oscylatora HSI16

1: Ustawienie przerwania ochrony zegara spowodowanego awarią oscylatora HSI16

Bit 2 Zarezerwowany, musi być utrzymywana wartość resetowania.

Bit 1 **LSERDYF**: Flaga gotowości przerwania dla LSE

Ustawiany sprzętowo, gdy zegar LSE ustabilizuje się i ustawiony zostanie LSERDYDIE.

Kasowany przez oprogramowanie ustawiające bit LSERDYC.

0: Brak przerwania ochrony zegara spowodowanego awarią oscylatora LSE

1: Ustawienie przerwania ochrony zegara spowodowanego awarią oscylatora LSE

Bit 0 **LSIRDYF**: Flaga gotowości przerwania dla LSI

Ustawiany sprzętowo, gdy zegar LSI ustabilizuje się i ustawiony jest LSIRDYDIE.

Kasowany przez oprogramowanie ustawiające bit LSIRDYC.

0: Brak przerwania ochrony zegara spowodowanego awarią oscylatora LSI

1: Ustawienie przerwania ochrony zegara spowodowanego awarią oscylatora LSI

### 5.4.7. Rejestr czyszczenia przerwania zegara (RCC\_CICR)

Przesunięcie adresu: 0x20

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	HSI48 RDYC	LSE CSSC	CSSC	Res.	Res.	PLL RDYC	HSE RDYC	HSI RDYC	Res.	LSE RDYC	LSI RDYC
					w	w	w			w	w	w		w	w

Bit 31: 11 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 10 **HSI48RDYC**: Czyszczenie flagi przerwania oscylatora HSI48

Ten bit jest ustawiany przez oprogramowanie do kasowania flagi HSI48RDYF.

0: Brak efektu

1: Wyczyść flagę HSI48RDYC

Bit 9 **LSECSSC**: Czyszczenie flagi przerwania systemu bezpieczeństwa zegara LSE

Ten bit jest ustawiany przez oprogramowanie w celu wyczyszczenia flagi LSECSSF.

0: Brak efektu

1: Wyczyść flagę LSECSSF

Bit 8 **CSSC**: Czyszczenie flagi przerwania systemu bezpieczeństwa zegara

Ten bit jest ustawiany przez oprogramowanie w celu wyczyszczenia flagi CSSF.

0: Brak efektu

1: Wyczyść flagę CSSF

Bit 7: 6 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 5 **PLLRDYC**: Czyszczenie flagi przerwania dla PLL

Ten bit jest ustawiany przez oprogramowanie w celu wyczyszczenia flagi PLLRDYF.

- 0: Brak efektu  
1: Wyczyść flagę PLLRDYF
- Bit 4      **HSERDYC:** Czyszczenie flagi przerwania dla HSE  
Ten bit jest ustawiany przez oprogramowanie do kasowania flagi HSERDYF.  
0: Brak efektu  
1: Wyczyść flagę HSERDYF
- Bit 3      **HSIRDYC:** Czyszczenie flagi przerwania dla HSI16  
Ten bit jest ustawiony przez oprogramowanie do kasowania flagi HSIRDYF.  
0: Brak efektu  
1: Wyczyść flagę HSIRDYF
- Bit 2      Zarezerwowany, musi być utrzymywana wartość resetowania.
- Bit 1      **LSERDYC:** Czyszczenie flagi przerwania dla LSE  
Ten bit jest ustawiany przez oprogramowanie do kasowania flagi LSERDYF.  
0: Brak efektu  
1: LSE RDYF wyczyszczone
- Bit 0      **LSIRDYC:** Czyszczenie flagi przerwania dla LSI  
Ten bit jest ustawiany przez oprogramowanie do kasowania flagi LSIRDYF.  
0: Brak efektu  
1: LSIRDYF wyczyszczone

#### 5.4.8. Rejestr resetowania urządzeń peryferyjnych AHB1 (RCC\_AHB1RSTR)

Przesunięcie adresu: 0x28

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC RST	Res.	Res.	Res.	FLASH RST	Res.	Res.	Res.	FMAC RST	CORDIC RST	DMAMUX1 RST	DMA2 RST	DMA1 RST
			rw				rw				rw	rw	rw	rw	rw

- Bit 31: 13      Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 12      **CRCRST:** Reset CRC  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj CRC
- Bit 11: 9      Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 8      **FLASHRST:** Reset interfejsu pamięci Flash  
Ustawiany i czyszczony przez oprogramowanie. Ten bit można aktywować tylko wtedy, gdy pamięć Flash znajduje się w trybie wyłączenia zasilania.  
0: Brak efektu  
1: Zresetuj interfejs pamięci Flash
- Bit 7: 5      Zarezerwowane, muszą być utrzymywane wartości resetowania.



- Bit 4           **FMACRST**: Ustawiany i kasowany przez oprogramowanie  
0: Brak efektu  
1: Zresetuj FMAC
- Bit 3           **CORDICRST**: Ustawiany i kasowany przez oprogramowanie  
0: Brak efektu  
1: Zresetuj CORDIC
- Bit 2           **DMAMUX1RST**: Ustawiany i kasowany przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj DMAMUX1
- Bit 1           **DMA2RST**: Reset DMA2  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj DMA2
- Bit 0           **DMA1RST**: Reset DMA1  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj DMA1

#### 5.4.9. Rejestr resetowania urządzeń peryferyjnych AHB2 (RCC\_AHB2RSTR)

Przesunięcie adresu: 0x2C

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	RNG RST	Res.	AES RST	Res.	Res.	Res.	Res.	DAC4 RST	DAC3 RST	DAC2 RST	DAC1 RST
					rw		rw					rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	ADC345 RST	ADC12 RST	Res.	Res.	Res.	Res.	Res.	Res.	GPIOG RST	GPIOF RST	GPIOE RST	GPIOD RST	GPIOC RST	GPIOB RST	GPIOA RST
	rw	rw							rw	rw	rw	rw	rw	rw	rw

Bit 31: 27           Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 26           **RNGRST**: Reset RNG  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj RNG

Bit 25           Zarezerwowany, musi być utrzymywana wartość resetowania.

Bit 24           **AESRST**: Reset AESRST  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj AES

Bit 23: 20           Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 19           **DAC4RST**: Reset DAC4

	Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj DAC4
Bit 18	<b>DAC3RST:</b> Reset DAC3  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj DAC3
Bit 17	<b>DAC2RST:</b> Reset DAC2  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj DAC2
Bit 16	<b>DAC1RST:</b> Reset DAC1  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj DAC1
Bit 15	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 14	<b>ADC345RST:</b> Reset ADC345  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj ADC345
Bit 13	<b>ADC12RST:</b> Reset ADC12  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj interfejs ADC12
Bity 12: 7	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 6	<b>GPIOGRST:</b> Reset portu I/O G.  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj port I/O G
Bit 5	<b>GPIOFRST:</b> Reset portu I/O F.  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj port I/O F.
Bit 4	<b>GPIOERST:</b> Reset portu I/O E.  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj port I/O E.
Bit 3	<b>GPIODRST:</b> Reset portu I/O D.  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj port I/O D
Bit 2	<b>GPIOCRST:</b> Reset portu I/O C.

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj port I/O C

Bit 1 **GPIOBRST**: Reset I/O portu B.

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj port I/O B

Bit 0 **GPIOARST**: Reset portu I/O A

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj port I/O A

#### 5.4.10. Rejestr resetowania urządzeń peryferyjnych AHB3 (RCC\_AHB3RSTR)

Przesunięcie adresu: 0x30

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	QSPIRST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FMC RST
							rw								rw

Bit 31: 9 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 8 **QSPIRST**: Reset QUADSPI

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj QUADSPI

Bit 7: 1 Zarezerwowane, muszą być utrzymywane na wartości resetowania.

Bit 0 **FMCRST**: Elastyczny reset kontrolera pamięci

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj FMC

#### 5.4.11. Rejestr 1 resetowania urządzeń peryferyjnych APB1 (RCC\_APB1RSTR1)

Przesunięcie adresu: 0x38

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 RST	I2C3 RST	Res.	PWR RST	Res.	Res.	FDCAN RST	Res.	USB RST	I2C2 RST	I2C1 RST	UART5 RST	UART4 RST	USART3 RST	USART2 RST	Res.
r/w	r/w		r/w			r/w		r/w	r/w	r/w	r/w	r/w	r/w	r/w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 RST	SPI2 RST	Res.	Res.	Res.	Res.	Res.	CRS RST	Res.	Res.	TIM7 RST	TIM6 RST	TIM5 RST	TIM4 RST	TIM3 RST	TIM2 RST
r/w	r/w						r/w			r/w	r/w	r/w	r/w	r/w	r/w

- Bit 31            **LPTIM1RST**: Reset Timera 1 niskiego zużycia energii  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj LPTIM1
- Bit 30            **I2C3RST**: Reset I2C3  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj interfejs I2C3
- Bit 29            Zarezerwowany, musi być utrzymywana wartość resetowania.
- Bit 28            **PWRRST**: Reset interfejsu zasilania  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj PWR
- Bity 27: 26       Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 25            **FDCANRST**: Reset FDCAN  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj FDCAN
- Bit 24            Zarezerwowany, musi być utrzymywana wartość resetowania.
- Bit 23            **USBRST**: Reset urządzenia USB  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj urządzenie USB
- Bit 22            **I2C2RST**: Reset I2C2  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj I2C2
- Bit 21            **I2C1RST**: Reset I2C1  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj I2C1
- Bit 20            **UART5RST**: Reset UART5  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj UART5

Bit 19	<b>UART4RST:</b> Resetowanie UART4  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj UART4
Bit 18	<b>USART3RST:</b> USART3 reset  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj USART3
Bit 17	<b>USART2RST:</b> Reset USART2  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj USART2
Bit 16	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 15	<b>SPI3RST:</b> Reset SPI3  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj SPI3
Bit 14	<b>SPI2RST:</b> Reset SPI2  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj SPI2
Bity 13: 9	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 8	<b>CRSRST:</b> Reset CRS  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj CRS
Bity 7: 6	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 5	<b>TIM7RST:</b> Reset timera TIM7  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj TIM7
Bit 4	<b>TIM6RST:</b> Reset timera TIM6  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj TIM6
Bit 3	<b>TIM5RST:</b> Reset timera TIM5  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj TIM5
Bit 2	<b>TIM4RST:</b> Reset timera TIM4  Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu

		1: Zresetuj TIM4
Bit 1	<b>TIM3RST:</b> Reset timera TIM3	
	Ustawiany i czyszczony przez oprogramowanie.	
	0: Brak efektu	
	1: Zresetuj TIM3	
Bit 0	<b>TIM2RST:</b> Reset timera TIM2	
	Ustawiany i czyszczony przez oprogramowanie.	
	0: Brak efektu	
	1: Zresetuj TIM2	

#### 5.4.12. Rejestr 2 resetowania urządzeń peryferyjnych APB1 (RCC\_APB1RSTR2)

Przesunięcie adresu: 0x3C

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	UCPD1 RST	Res.	Res.	Res.	Res.	Res.	Res.	I2C4 RST	LP UART1 RST
							rw							rw	rw

Bity 31: 9 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 8 **UCPD1RST:** Resetowanie UCPD1  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj UCPD1

Bity 7: 2 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 1 **I2C4RST:** Reset I2C4  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj I2C4

Bit 0 **LPUART1RST:** Resetowanie niskiej mocy UART 1  
Ustawiany i czyszczony przez oprogramowanie.  
0: Brak efektu  
1: Zresetuj LPUART1

#### 5.4.13. Rejestr resetu urządzeń peryferyjnych APB2 (RCC\_APB2RSTR)

Przesunięcie adresu: 0x40

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	HRTIM1 RST	Res.	Res.	Res.	Res.	SAI1 RST	TIM20 RST	Res.	TIM17 RST	TIM16 RST	TIM15R ST
					rW					rW	rW		rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI4 RST	USART1 RST	TIM8 RST	SPI1 RST	TIM1 RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYS CFG RST
rW	rW	rW	rW	rW											rW

Bity 31: 27 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 26 **HRTIM1RST**: Reset HRTIM1

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj HRTIM1

Bit 25: 22 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 21 **SAI1RST**: Resetowanie szeregowego interfejsu audio 1 (SAI1)

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj SAI1

Bit 20 **TIM20RST**: Reset TIM20

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj TIM20

Bit 19 Zarezerwowany, musi być utrzymywana na wartość resetowania.

Bit 18 **TIM17RST**: Reset timera TIM17

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj licznik TIM17

Bit 17 **TIM16RST**: Reset timera TIM16

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj licznik TIM16

Bit 16 **TIM15RST**: Reset timera TIM15

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj licznik TIM15

Bit 15 **SPI4RST**: Reset SPI4

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj SPI4

Bit 14 **USART1RST**: Reset USART1

Ustawiany i czyszczony przez oprogramowanie.

0: Brak efektu

1: Zresetuj USART1



Bit 13	<b>TIM8RST:</b> Reset timera TIM8 Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj licznik TIM8
Bit 12	<b>SPI1RST:</b> Reset SPI1 Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj SPI1
Bit 11	<b>TIM1RST:</b> Reset timera TIM1 Ustawiany i czyszczony przez oprogramowanie. 0: Brak efektu 1: Zresetuj licznik TIM1
Bity 10: 1	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 0	<b>SYSCFGRST:</b> SYSCFG + COMP + OPAMP + VREFBUF reset 0: Brak efektu 1: Zresetuj SYSCFG + COMP + OPAMP + VREFBUF

#### 5.4.14. Rejestr włączania zegara peryferyjnego AHB1 (RCC\_AHB1ENR)

Przesunięcie adresu: 0x48

Wartość resetowania: 0x0000 0100

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

*Uwaga: Gdy zegar peryferyjny nie jest aktywny nie ma dostępu do odczytu lub zapisu rejestrów peryferyjnych.*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRCEN	Res.	Res.	Res.	FLASH EN	Res.	Res.	Res.	FMAC EN	CORDIC EN	DMAM UX1EN	DMA2 EN	DMA1 EN
			rw				rw				rw	rw	rw	rw	rw

Bity 31: 13	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 12	<b>CRCEN:</b> Włączanie zegara CRC Ustawiany i czyszczony przez oprogramowanie. 0: Zegar CRC wyłączony 1: Włączanie zegara CRC
Bity 11: 9	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 8	<b>FLASHEN:</b> Włączony zegar interfejsu pamięci Flash Ustawiany i czyszczony przez oprogramowanie. Ten bit można wyłączyć tylko wtedy, gdy pamięć Flash jest w trybie wyłączenia. 0: Zegar interfejsu pamięci Flash wyłączony 1: Włączono zegar interfejsu pamięci Flash
Bity 7: 5	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 4	<b>FMACEN:</b> Włączenie FMAC

- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar FMAC wyłączony  
1: Włączony zegar FMAC
- Bit 3      **CORDICEN:** Włączenie zegara CORDIC
- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar CORDIC wyłączony  
1: Włączony zegar CORDIC
- Bit 2      **DMAMUX1EN:** Włączanie zegara DMAMUX1
- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar DMAMUX1 wyłączony  
1: Zegar DMAMUX1 włączony
- Bit 1      **DMA2EN:** Włączanie zegara DMA2
- Ustawiany i czyszczony przez oprogramowanie.  
0: Wyłącz zegar DMA2  
1: Włączanie zegara DMA2
- Bit 0      **DMA1EN:** Włączanie zegara DMA1
- Ustawiany i czyszczony przez oprogramowanie.  
0: Wyłączenie zegara DMA1  
1: Włączanie zegara DMA1

#### 5.4.15. Rejestr włączania zegara peryferyjnego AHB2 (RCC\_AHB2ENR)

Przesunięcie adresu: 0x4C

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

*Uwaga: Gdy zegar peryferyjny nie jest aktywny nie ma dostępu do odczytu lub zapisu rejestrów peryferyjnych.*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	RNG EN	Res.	AES EN	Res.	Res.	Res.	Res.	DAC4 EN	DAC3 EN	DAC2 EN	DAC1 EN
					r/w		r/w					r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	ADC345 EN	ADC12 EN	Res.	Res.	Res.	Res.	Res.	Res.	GPIOD EN	GPIOF EN	GPIOE EN	GPIOD EN	GPIOC EN	GPIOB EN	GPIOA EN
	r/w	r/w							r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 31: 27      Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 26      **RNGEN:** Włączanie RNG

Ustawiany i czyszczony przez oprogramowanie.  
0: RNG wyłączone  
1: Włączony RNG

Bit 25      Zarezerwowany, musi być utrzymywana wartość resetowania.

Bit 24      **AESEN:** Włączanie zegara AES

Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar AES wyłączony  
1: Zegar AES włączony

Bit 23: 20      Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 19	<p><b>DAC4EN:</b> Włączanie zegara DAC4</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar DAC4 wyłączony                  1: włączony zegar DAC4</p>
Bit 18	<p><b>DAC3EN:</b> Włączanie zegara DAC3</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar DAC3 wyłączony                  1: Włączony zegar DAC3</p>
Bit 17	<p><b>DAC2EN:</b> Włączanie zegara DAC2</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar DAC2 wyłączony                  1: Włączony zegar DAC2</p>
Bit 16	<p><b>DAC1EN:</b> Włączanie zegara DAC1</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar DAC1 wyłączony                  1: Włączony zegar DAC1</p>
Bit 15	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 14	<p><b>ADC345EN:</b> Włączony zegar ADC345</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar ADC345 wyłączony                  1: Włączony zegar ADC345</p>
Bit 13	<p><b>ADC12EN:</b> Włączony zegar ADC12</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar ADC12 wyłączony                  1: Włączony zegar ADC12</p>
Bity 12: 7	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 6	<p><b>GPIOGEN:</b> Włączanie zegara portu I/O G</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar portu I/O G wyłączony                  1: Zegar portu I/O G włączony</p>
Bit 5	<p><b>GPIOFEN:</b> Włączanie zegara portu I/O F</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar portu I/O F wyłączony                  1: Zegar portu I/O F włączony</p>
Bit 4	<p><b>GPIOEEN:</b> Włączanie zegara portu I/O E</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar portu I/O E wyłączony                  1: Zegar portu I/O E włączony</p>
Bit 3	<p><b>GPIODEN:</b> Włączanie zegara portu I/O D</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar portu I/O D wyłączony                  1: Zegar portu I/O D włączony</p>

- Bit 2           **GPIOCEN:** Włączanie zegara portu I/O C  
 Ustawiany i czyszczony przez oprogramowanie.  
 0: Zegar portu I/O C wyłączony  
 1: Zegar portu I/O C włączony
- Bit 1           **GPIOBEN:** Włączanie zegara portu I/O B  
 Ustawiany i czyszczony przez oprogramowanie.  
 0: Zegar portu I/O B wyłączony  
 1: Zegar portu I/O B włączony
- Bit 0           **GPIOAEN:** Włączanie zegara portu I/O A  
 Ustawiany i czyszczony przez oprogramowanie.  
 0: Zegar portu I/O A wyłączony  
 1: Zegar portu I/O A włączony

#### 5.4.16. Rejestr włączania zegara peryferyjnego AHB3 (RCC\_AHB3ENR)

Przesunięcie adresu: 0x50

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

*Uwaga: Gdy zegar peryferyjny nie jest aktywny nie ma dostępu do odczytu lub zapisu rejestrów peryferyjnych.*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	QSPIEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FMC EN
							rw								rw

- Bit 31: 9           Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 8           **QSPIEN:** Włączenie zegara interfejsu pamięci QUADSPI  
 Ustawiany i czyszczony przez oprogramowanie.  
 0: Wyłączenie zegara QUADSPI  
 1: Włączenie zegara QUADSPI
- Bit 7: 1           Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 0           **FMCEN:** Włączanie zegara elastycznego kontrolera pamięci  
 Ustawiany i czyszczony przez oprogramowanie.  
 0: Wyłącz zegar FMC  
 1: Włączanie zegara FMC

#### 5.4.17. Rejestr 1 włączania zegara peryferyjnego APB1 (RCC\_APB1ENR1)

Adres: 0x58

Wartość resetowania: 0x0000 0400

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

*Uwaga: Gdy zegar peryferyjny nie jest aktywny nie ma dostępu do odczytu lub zapisu rejestrów peryferyjnych.*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 EN	I2C3 EN	Res.	PWR EN	Res.	Res.	FDCAN EN	Res.	USB EN	I2C2 EN	I2C1 EN	UART5 EN	UART4 EN	USART3 EN	USART2 EN	Res.
r/w	r/w		r/w			r/w		r/w	r/w	r/w	r/w	r/w	r/w	r/w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 EN	SPI2 EN	Res.	Res.	WWDG EN	RTCAPB EN	Res.	CRS EN	Res.	Res.	TIM7 EN	TIM6 EN	TIM5 EN	TIM4 EN	TIM3 EN	TIM2 EN
r/w	r/w			rs	r/w		r/w			r/w	r/w	r/w	r/w	r/w	r/w

- Bit 31           **LPTIM1EN:** Włączenie zegara timera 1 niskiego poboru mocy  
Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar LPTIM1 wyłączony  
1: Zegar LPTIM1 włączony
- Bit 30           **I2C3EN:** Włączanie zegara I2C3  
Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar I2C3 wyłączony  
1: Zegar I2C3 włączony
- Bit 29           Zarezerwowany, musi być utrzymywana wartość resetowania.
- Bit 28           **PWREN:** Włączenie zegara interfejsu zasilania  
Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar interfejsu zasilania wyłączony  
1: Włączony zegar interfejsu zasilania
- Bity 27: 26       Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 25           **FDCANEN:** Włączanie zegara FDCAN  
Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar FDCAN wyłączony  
1: Zegar FDCAN włączony
- Bit 24           Zarezerwowany, musi być utrzymywana wartość resetowania.
- Bit 23           **USBEN:** Włączanie zegara urządzenia USB  
Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar urządzenia USB wyłączony  
1: Zegar urządzenia USB włączony
- Bit 22           **I2C2EN:** Włączanie zegara I2C2  
Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar I2C2 wyłączony  
1: Zegar I2C2 włączony
- Bit 21           **I2C1EN:** Włączanie zegara I2C1  
Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar I2C1 wyłączony  
1: Zegar I2C1 włączony
- Bit 20           **UART5EN:** Włączanie zegara UART5  
Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar UART5 wyłączony  
1: włączony zegar UART5

Bit 19	<b>UART4EN:</b> Włączanie zegara UART4  Ustawiany i czyszczony przez oprogramowanie. 0: Zegar UART4 wyłączony 1: Zegar UART4 włączony
Bit 18	<b>USART3EN:</b> Włączanie zegara USART3  Ustawiany i czyszczony przez oprogramowanie. 0: Zegar USART3 wyłączony 1: Zegar USART3 włączony
Bit 17	<b>USART2EN:</b> Włączanie zegara USART2  Ustawiany i czyszczony przez oprogramowanie. 0: Zegar USART2 wyłączony 1: Zegar USART2 włączony
Bit 16	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 15	<b>SPI3EN:</b> Włączanie zegara SPI3  Ustawiany i czyszczony przez oprogramowanie. 0: Zegar SPI3 wyłączony 1: Włączony zegar SPI3
Bit 14	<b>SPI2EN:</b> Włączanie zegara SPI2  Ustawiany i czyszczony przez oprogramowanie. 0: Zegar SPI2 wyłączony 1: Zegar SPI2 włączony
Bity 13: 12	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 11	<b>WWDGEN:</b> Włączanie zegara okna watchdoga  Ustawiany przez oprogramowanie, aby włączyć zegar kontrolny okna. Czyszczenie przez reset sprzętowy systemu. Ten bit można również ustawić sprzętowo, jeśli bit opcji WWDG_SW zostanie zresetowany. 0: Wyłączony zegar okna watchdoga 1: Włączony zegar okna watchdoga
Bit 10	<b>RTCAPBEN:</b> Włączony zegar RTC APB  Ustawiany i czyszczony przez oprogramowanie. 0: Zegar APC RTC wyłączony 1: Włączony zegar APC RTC
Bit 9	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 8	<b>CRSEN:</b> Włączenie zegara odzyskiwania systemu CRS Recovery  Ustawiany i czyszczony przez oprogramowanie. 0: Zegar CRS wyłączony 1: Zegar CRS włączony
Bity 7: 6	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 5	<b>TIM7EN:</b> Włączanie zegara timera TIM7  Ustawiany i czyszczony przez oprogramowanie. 0: Zegar TIM7 wyłączony

		1: Zegar TIM7 włączony
Bit 4	<b>TIM6EN:</b> Włączanie zegara timera TIM6	
		Ustawiany i czyszczony przez oprogramowanie.
		0: Zegar TIM6 wyłączony
		1: Zegar TIM6 włączony
Bit 3	<b>TIM5EN:</b> Włączanie zegara timera TIM5	
		Ustawiany i czyszczony przez oprogramowanie.
		0: Zegar TIM5 wyłączony
		1: Zegar TIM5 włączony
Bit 2	<b>TIM4EN:</b> Włączanie zegara timera TIM4	
		Ustawiany i czyszczony przez oprogramowanie.
		0: Zegar TIM4 wyłączony
		1: Zegar TIM4 włączony
Bit 1	<b>TIM3EN:</b> Włączanie zegara timera TIM3	
		Ustawiany i czyszczony przez oprogramowanie.
		0: Zegar TIM3 wyłączony
		1: Zegar TIM3 włączony
Bit 0	<b>TIM2EN:</b> Włączanie zegara timera TIM2	
		Ustawiany i czyszczony przez oprogramowanie.
		0: Zegar TIM2 wyłączony
		1: Zegar TIM2 włączony

#### 5.4.18. Rejestr 2 włączania zegara peryferyjnego APB1 (RCC\_APB1ENR2)

Przesunięcie adresu: 0x5C

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

*Uwaga: Gdy zegar peryferyjny nie jest aktywny nie ma dostępu do odczytu lub zapisu rejestrów peryferyjnych.*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	UCPD1 EN	Res.	Res.	Res.	Res.	Res.	Res.	I2C4EN	LP UART1 EN
							rw							rw	rw

Bit 31: 9 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 8 **UCPD1EN:** Włączanie zegara UCPD1  
Ustawiany i czyszczony przez oprogramowanie.  
0: Wyłącz zegar UCPD1  
1: Włączanie zegara UCPD1

Bit 7: 2 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 1 **I2C4EN:** Włączanie zegara I2C4  
Ustawiany i czyszczony przez oprogramowanie.

0: Zegar I2C4 wyłączony  
1: Zegar I2C4 włączony

Bit 0 **LPUART1EN**: Włączenie zegara UART 1 małej mocy

Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar LPUART1 wyłączony  
1: Włączenie zegara LPUART1

#### 5.4.19. Rejestr włączania zegara peryferyjnego APB2 (RCC\_APB2ENR)

Adres: 0x60

Wartość resetowania: 0x0000 0000

Dostęp: dostęp do słów, pół słów i bajtów

*Uwaga: Gdy zegar peryferyjny nie jest aktywny nie ma dostępu do odczytu lub zapisu rejestrów peryferyjnych.*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	HRTIM1 EN	Res.	Res.	Res.	Res.	SAI1 EN	TIM20 EN	Res.	TIM 17EN	TIM16 EN	TIM15 EN
					rw					rw	rw		rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI4 EN	USART1 EN	TIM8 EN	SPI1 EN	TIM1 EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYS CFGEN
rw	rw	rw	rw	rw											rw

Bit 31: 27 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 26 **HRTIM1EN**: Włączanie zegara HRTIM1

Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar HRTIM1 wyłączony  
1: Włączanie zegara HRTIM1

Bit 25: 22 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 21 **SAI1EN**: Włączanie zegara SAI1

Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar SAI1 wyłączony  
1: Zegar SAI1 włączony

Bit 20 **TIM20EN**: Włączanie zegara timera TIM20

Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar TIM20 wyłączony  
1: Zegar TIM20 włączony

Bit 19 Zarezerwowany, musi być utrzymywana wartość resetowania.

Bit 18 **TIM17EN**: Włączanie zegara timera TIM17

Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar timera TIM17 wyłączony  
1: Włączony zegar timera TIM17

Bit 17 **TIM16EN**: Włączanie zegara timera TIM16

Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar timera TIM16 wyłączony  
1: Włączony zegar timera TIM16



Bit 16	<b>TIM15EN:</b> Włączanie zegara timera TIM15 Ustawiany i czyszczony przez oprogramowanie. 0: Zegar timera TIM15 wyłączony 1: Zegar timera TIM15 włączony
Bit 15	<b>SPI4EN:</b> Włączanie zegara timera SPI4 Ustawiany i czyszczony przez oprogramowanie. 0: Zegar timera SPI4 wyłączony 1: Włączony zegar timera SPI4
Bit 14	<b>USART1EN:</b> Włączenie zegara USART1 Ustawiany i czyszczony przez oprogramowanie. 0: zegar USART1 wyłączony 1: włączony zegar USART1
Bit 13	<b>TIM8EN:</b> Włączanie zegara timera TIM8 Ustawiany i czyszczony przez oprogramowanie. 0: Zegar timera TIM8 wyłączony 1: Włączony zegar timera TIM8
Bit 12	<b>SPI1EN:</b> Włączanie zegara SPI1 Ustawiany i czyszczony przez oprogramowanie. 0: Zegar SPI1 wyłączony 1: Zegar SPI1 włączony
Bit 11	<b>TIM1EN:</b> Włączanie zegara timera TIM1 Ustawiany i czyszczony przez oprogramowanie. 0: Zegar timera TIM1 wyłączony 1: Zegar timera TIM1P włączony
Bity 10: 1	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 0	<b>SYSCFGEN:</b> SYSCFG + COMP + VREFBUF + OPAMP włączanie zegara Ustawiany i czyszczony przez oprogramowanie. 0: Wyłączony zegar SYSCFG + COMP + VREFBUF + OPAMP 1: Włączony zegar SYSCFG + COMP + VREFBUF + OPAMP

#### 5.4.20. Rejestr włączania zegarów peryferyjnych AHB1 w trybie uśpienia i zatrzymania (Sleep i Stop) (RCC\_AHB1SMENR)

Przesunięcie adresu: 0x68

Wartość resetowania: 0x0000 130 F.

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRCSM EN	Res.	Res.	SRAM1 SMEN	FLASH SMEN	Res.	Res.	Res.	FMACSM EN	CORDICSM EN	DMAMUX1 SMEN	DMA2 SMEN	DMA1 SMEN
			rw			rw	rw				rw	rw	rw	rw	rw

Bity 31: 13 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 12	<p><b>CRCSMEN:</b> Włączanie zegarów CRC w trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary CRC wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary CRC włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bity 11: 10	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 9	<p><b>SRAM1SMEN:</b> Włączanie zegarów interfejsu SRAM1 w trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary interfejsu SRAM1 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary interfejsu SRAM1 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bit 8	<p><b>FLASHSMEN:</b> Włączanie zegarów interfejsu pamięci Flash w trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary interfejsu pamięci Flash wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary interfejsu pamięci Flash włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bity 7: 5	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 4	<p><b>FMACSMEN:</b> Włączanie zegarów FMACSM.</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary FMACSM wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary FMACSM włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bit 3	<p><b>CORDICSMEN:</b> Włączanie zegarów CORDICSM.</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary CORDICSM wyłączone.                  1: Włączone zegary CORDICSM.</p>
Bit 2	<p><b>DMAMUX1SMEN:</b> Włączanie zegarów DMAMUX1 w trybach uśpienia i zatrzymania.</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary DMAMUX1 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary DMAMUX1 włączone bramkowaniem zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bit 1	<p><b>DMA2SMEN:</b> Włączanie zegarów DMA2 trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary DMA2 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary DMA2 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bit 0	<p><b>DMA1SMEN:</b> Włączanie zegarów DMA1 trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.</p>

0: Zegary DMA1 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1: Zegary DMA1 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1. Rejestr ten konfiguruje jedynie bramkowanie zegara, a nie samo źródło zegara. Większość urządzeń peryferyjnych jest taktowana zegarem pojedynczym (zegar AHB lub APB), który jest zawsze wyłączony w trybie zatrzymania. W takim przypadku ustawienie bitu w trybie zatrzymania nie działa.

#### 5.4.21. Rejestr włączania zegarów peryferyjnych AHB2 w trybie uśpienia i zatrzymania (Sleep i Stop) (RCC\_AHB2SMENR)

Przesunięcie adresu: 0x6C

Wartość resetowania: 0x050F 667F

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	RNG EN	Res.	AESM EN	Res.	Res.	Res.	Res.	DAC4 SMEN	DAC3 SMEN	DAC2 SMEN	DAC1 SMEN
					rw		rw					rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	ADC345 SMEN	ADC12 SMEN	Res.	Res.	SRAM2 SMEN	CCMSRAM SMEN	Res.	Res.	GPIOG SMEN	GPIOF SMEN	GPIOE SMEN	GPIOD SMEN	GPIOC SMEN	GPIOB SMEN	GPIOA SMEN
	rw	rw			rw	rw			rw	rw	rw	rw	rw	rw	rw

Bity 31: 27 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 26 **RNGEN**: Włączanie RNG

Ustawiany i czyszczony przez oprogramowanie.

0: RNG wyłączone

1: włączony RNG

Bit 25 Zarezerwowany, musi być utrzymywana wartość resetowania.

Bit 24 **AESMEN**: Włączanie zegarów AESM

Ustawiany i czyszczony przez oprogramowanie.

0: Zegary AESM wyłączone

1: Włączone zegary AESM

Bity 23: 20 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 19 **DAC4SMEN**: Włączanie zegara DAC4

Ustawiany i czyszczony przez oprogramowanie.

0: Zegar DAC4 wyłączony

1: Zegar DAC4 włączony w trybach uśpienia i zatrzymania

Bit 18 **DAC3SMEN**: Włączanie zegara DAC3

Ustawiany i czyszczony przez oprogramowanie.

0: Zegar DAC3 wyłączony

1: Zegar DAC3 włączony w trybach uśpienia i zatrzymania

Bit 17 **DAC2SMEN**: Włączanie zegara DAC2

Ustawiany i czyszczony przez oprogramowanie.

0: Zegar DAC2 wyłączony

1: Zegar DAC2 włączony w trybach uśpienia i zatrzymania

Bit 16	<p><b>DAC1SMEN:</b> Włączanie zegara DAC1</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar DAC1 wyłączony                  1: Zegar DAC1 włączony w trybach uśpienia i zatrzymania</p>
Bit 15	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 14	<p><b>ADC345SMEN:</b> Włączenie zegara ADC345</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegar ADC345 wyłączony                  1: Włączony zegar ADC345</p>
Bit 13	<p><b>ADC12SMEN:</b> Włączanie zegarów ADC12 w trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary ADC12 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary ADC12 włączone bramkowaniem zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bity 12: 11	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 10	<p><b>SRAM2SMEN:</b> Włączanie zegarów interfejsu SRAM2 w trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary interfejsu SRAM2 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary interfejsu SRAM2 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bit 9	<p><b>CCMSRAMSMEN:</b> Włączanie zegarów interfejsu CCM SRAM w trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary interfejsu CCM SRAM wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary interfejsu SRAM CCM włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bity 8: 7	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 6	<p><b>GPIOGSMEN:</b> Włączanie zegarów portu I/O G w trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary portu IO G wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary portu I/O G włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bit 5	<p><b>GPIOFSMEN:</b> Włączanie zegarów portu I/O F w trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.                  0: Zegary portu IO F wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania                  1: Zegary portu I/O F włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania</p>
Bit 4	<p><b>GPIOESMEN:</b> Włączanie zegarów portu I/O E w trybach uśpienia i zatrzymania</p> <p>Ustawiany i czyszczony przez oprogramowanie.</p>

- 0: Zegary portu IO E wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
 1: Zegary portu I/O E włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
- Bit 3 **GPIODSMEN**: Włączanie zegarów portu I/O D w trybach uśpienia i zatrzymania  
 Ustawiany i czyszczony przez oprogramowanie.  
 0: Zegary portu IO D wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
 1: Zegary portu I/O D włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
- Bit 2 **GPIOCSMEN**: Włączanie zegarów portu I/O C w trybach uśpienia i zatrzymania  
 Ustawiany i czyszczony przez oprogramowanie.  
 0: Zegary portu IO C wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
 1: Zegary portu I/O C włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
- Bit 1 **GPIOBSMEN**: Włączanie zegarów portu I/O B w trybach uśpienia i zatrzymania  
 Ustawiany i czyszczony przez oprogramowanie.  
 0: Zegary portu IO B wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
 1: Zegary portu I/O B włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
- Bit 0 **GPIOASMEN**: Włączanie zegarów portu I/O A w trybach uśpienia i zatrzymania  
 Ustawiany i czyszczony przez oprogramowanie.  
 0: Zegary portu IO A wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
 1: Zegary portu I/O A włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
1. Rejestr ten konfiguruje jedynie bramkowanie zegara, a nie samo źródło zegara. Większość urządzeń peryferyjnych jest taktowana zegarem pojedynczym (zegar AHB lub APB), który jest zawsze wyłączony w trybie zatrzymania. W takim przypadku ustawienie bitu w trybie zatrzymania nie działa.

#### 5.4.22. Rejestr włączania zegarów peryferyjnych AHB3 w trybie uśpienia i zatrzymania (Sleep i Stop) (RCC\_AHB3SMENR)

Przesunięcie adresu: 0x70

Wartość resetowania: 0x0000 0101

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	QSPISMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FMC SMEN
							rw								rw

Bity 31: 9 Zarezerwowane, muszą być utrzymywane wartości resetowania.

- Bit 8           **QSPISMEN:** Włączenie zegara interfejsu pamięci QUADSPI w trybach uśpienia i zatrzymania
- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegar QUADSPI wyłączony przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
1: Zegar QUADSPI włączony przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
- Bity 7: 1       Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 0           **FMCSMEN:** Włączenie zegarów elastycznego kontrolera pamięci w trybach uśpienia i zatrzymania
- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegary FMC wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
1: Zegary FMC włączane przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1. Rejestr ten konfiguruje jedynie bramkowanie zegara, a nie samo źródło zegara. Większość urządzeń peryferyjnych jest taktowana zegarem pojedynczym (zegar AHB lub APB), który jest zawsze wyłączony w trybie zatrzymania. W takim przypadku ustawienie bitu w trybie zatrzymania nie działa.

#### 5.4.23. Rejestr 1 włączania zegarów peryferyjnych APB1 w trybie uśpienia i zatrzymania (Sleep i Stop) (RCC\_APB1SMENR1)

Przesunięcie adresu: 0x78

Wartość resetowania: 0xD2FE CD3F

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 SMEN	I2C3 SMEN	Res.	PWR SMEN	Res.	Res.	FDCAN SMEN	Res.	USB SMEN	I2C2 SMEN	I2C1 SMEN	UART5 SMEN	UART4 SMEN	USART 3SMEN	USART 2SMEN	Res.
r/w	r/w		r/w			r/w		r/w	r/w	r/w	r/w	r/w	r/w	r/w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 SMEN	SPI2 SMEN	Res.	Res.	WWDG SMEN	RTCAPB SMEN	Res.	CRS SMEN	Res.	Res.	TIM7 SMEN	TIM6 SMEN	TIM5 SMEN	TIM4 SMEN	TIM3 SMEN	TIM2 SMEN
r/w	r/w			r/w	r/w		r/w			r/w	r/w	r/w	r/w	r/w	r/w

- Bit 31           **LPTIM1SMEN:** Włączanie zegarów timera 1 małej mocy w trybach uśpienia i zatrzymania
- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegary LPTIM1 wyłączony przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
1: Zegary LPTIM1 włączone bramkowaniem zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
- Bit 30           **I2C3SMEN:** Włączanie zegarów I2C3 w trybach uśpienia i zatrzymania
- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegary I2C3 wyłączony przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
1: Zegary I2C3 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
- Bit 29           Zarezerwowany, musi być utrzymywana wartość resetowania.
- Bit 28           **PWRSMEN:** Włączanie zegarów interfejsu zasilania w trybach uśpienia i zatrzymania
- Ustawiany i czyszczony przez oprogramowanie.

	0: Zegary interfejsu zasilania wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
	1: Zegary interfejsu zasilania włączone bramkowaniem zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 27: 26	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 25	<b>FDCANSMEN:</b> Włączanie zegarów FDCAN w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary FDCAN wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary FDCAN włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 24	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 23	<b>USBSMEN:</b> Włączanie zegarów urządzeń USB w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary urządzenia USB wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary urządzenia USB włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 22	<b>I2C2SMEN:</b> Włączanie zegarów I2C2 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary I2C2 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary I2C2 włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 21	<b>I2C1SMEN:</b> Włączanie zegarów I2C1 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary I2C1 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary I2C1 włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 20	<b>UART5SMEN:</b> Włączanie zegarów UART5 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary UART5 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary UART5 włączone bramkowaniem zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 19	<b>UART4SMEN:</b> Włączanie zegarów UART4 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary UART4 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary UART4 włączone bramkowaniem zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 18	<b>UART3SMEN:</b> Włączanie zegarów UART3 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary UART3 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary UART3 włączone bramkowaniem zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 17	<b>UART2SMEN:</b> Włączanie zegarów UART2 w trybach uśpienia i zatrzymania

	Ustawiany i czyszczony przez oprogramowanie. 0: Zegary UART2 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary UART2 włączone bramkowaniem zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 16	Zarezerwowany, musi być utrzymywany na wartości resetowania.
Bit 15	<b>SPI3SMEN:</b> Włączanie zegarów SPI3 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary SPI3 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary SPI3 włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 14	<b>SPI2SMEN:</b> Włączanie zegarów SPI2 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary SPI2 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary SPI2 włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bity 13: 12	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 11	<b>WWDGSMEN:</b> Włączanie zegarów okien watchdogów w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. Ustawienie tego bitu jest wymuszane na „1” przez sprzęt, gdy sprzętowa opcja WWDG jest aktywowana. 0: Zegary kontrolne okien wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary kontrolne okien włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 10	<b>RTCAPBSMEN:</b> Włączanie zegara APC RTC w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegar APC RTC wyłączony przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegar APC RTC włączony przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 9	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 8	<b>CRSSMEN:</b> Włączanie zegarów timera CRS w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary CRS wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary CRS aktywowane przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bity 7: 6	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 5	<b>TIM7SMEN:</b> Włączanie zegarów timera TIM7 trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary TIM7 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary TIM7 włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 4	<b>TIM6SMEN:</b> Włączanie zegarów timera TIM6 trybach uśpienia i zatrzymania



Ustawiany i czyszczony przez oprogramowanie.

0: Zegary TIM6 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1: Zegary TIM6 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

Bit 3 **TIM5SMEN**: Włączanie zegarów timera TIM5 trybach uśpienia i zatrzymania

Ustawiany i czyszczony przez oprogramowanie.

0: Zegary TIM5 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1: Zegary TIM5 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

Bit 2 **TIM4SMEN**: Włączanie zegarów timera TIM4 trybach uśpienia i zatrzymania

Ustawiany i czyszczony przez oprogramowanie.

0: Zegary TIM4 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1: Zegary TIM4 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

Bit 1 **TIM3SMEN**: Włączanie zegarów timera TIM3 trybach uśpienia i zatrzymania

Ustawiany i czyszczony przez oprogramowanie.

0: Zegary TIM3 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1: Zegary TIM3 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

Bit 0 **TIM2SMEN**: Włączanie zegarów timera TIM2 trybach uśpienia i zatrzymania

Ustawiany i czyszczony przez oprogramowanie.

0: Zegary TIM2 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1: Zegary TIM2 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1. Rejestr ten konfiguruje jedynie bramkowanie zegara, a nie samo źródło zegara. Większość urządzeń peryferyjnych jest taktowana zegarem pojedynczym (zegar AHB lub APB), który jest zawsze wyłączony w trybie zatrzymania. W takim przypadku ustawienie bitu w trybie zatrzymania nie działa.

#### 5.4.24. Rejestr 2 włączania zegarów peryferyjnych APB1 w trybie uśpienia i zatrzymania (Sleep i Stop) (RCC\_APB1SMENR2)

Przesunięcie adresu: 0x7C

Wartość resetowania: 0x0000 0103

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	UCPD1 SMEN	Res.	Res.	Res.	Res.	Res.	Res.	I2C4 SMEN	LP UART1 SMEN
							rw							rw	rw

Bity 31: 9 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 8 **UCPD1SMEN**: Włączanie zegarów UCPD1 w trybach uśpienia i zatrzymania

Ustawiany i czyszczony przez oprogramowanie.

0: Zegary UCPD1 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1: Zegary UCPD1 włączone bramkowaniem zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

Bity 7: 2 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 1 **I2C4SMEN**: Włączanie zegarów I2C4 w trybach uśpienia i zatrzymania

Ustawiany i czyszczony przez oprogramowanie.

0: Zegary I2C4 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1: Zegar I2C4 włączony bramkowaniem zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

Bit 0 **LPUART1SMEN**: Włączanie zegarów UART 1 małej mocy w trybach uśpienia i zatrzymania

Ustawiany i czyszczony przez oprogramowanie.

0: Zegary LPUART1 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1: Zegary LPUART1 włączone bramkowaniem zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1. Rejestr ten konfiguruje jedynie bramkowanie zegara, a nie samo źródło zegara. Większość urządzeń peryferyjnych jest taktowana zegarem pojedynczym (zegar AHB lub APB), który jest zawsze wyłączony w trybie zatrzymania. W takim przypadku ustawienie bitu w trybie zatrzymania nie działa.

#### 5.4.25. Rejestr włączania zegarów peryferyjnych APB2 w trybie uśpienia i zatrzymania (Sleep i Stop) (RCC\_APB2SMENR)

Przesunięcie adresu: 0x80

Wartość resetowania: 0x0437 F801

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	HRTIM1 SMEN	Res.	Res.	Res.	Res.	SAI1 SMEN	TIM20 SMEN	Res.	TIM17 SMEN	TIM16 SMEN	TIM15 SMEN
					rw					rw	rw		rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI4 SMEN	USART1 SMEN	TIM8 SMEN	SPI1 SMEN	TIM1 SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYS CFG SMEN
rw	rw	rw	rw	rw											rw

Bity 31: 27 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 26 **HRTIM1SMEN**: Włączanie zegarów timera HRTIM1 w trybach uśpienia i zatrzymania

Ustawiany i czyszczony przez oprogramowanie.

0: Zegary HRTIM1 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1: Zegary HRTIM1 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

Bity 25: 22 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 21 **SAI1SMEN**: Włączanie zegarów SAI1 w trybach uśpienia i zatrzymania

Ustawiany i czyszczony przez oprogramowanie.

	0: Zegary SAI1 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
	1: Zegary SAI1 włączone bramkowaniem zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 20	<b>TIM20SMEN:</b> Włączanie zegarów timera TIM20 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary TIM20 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary TIM20 włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 19	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 18	<b>TIM17SMEN:</b> Włączanie zegarów timera TIM17 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary timera TIM17 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary timera TIM17 włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 17	<b>TIM16SMEN:</b> Włączanie zegarów timera TIM16 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary timera TIM16 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary timera TIM16 włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 16	<b>TIM15SMEN:</b> Włączanie zegarów timera TIM15 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary timera TIM15 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary timera TIM15 włączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania
Bit 15	<b>SPI4SMEN:</b> Włączanie zegarów timera SPI4 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary SPI4 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary SPI4 włączone przez bramkowanie zegara <sup>(1)</sup> w trybie uśpienia i zatrzymania
Bit 14	<b>USART1SMEN:</b> Włączanie zegarów USART1 w trybach uśpienia i zatrzymania  Ustawiany i czyszczony przez oprogramowanie. 0: Zegary USART1 wyłączone przez bramkowanie zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania 1: Zegary USART1 włączone bramkowaniem zegara <sup>(1)</sup> w trybach uśpienia i zatrzymania

- Bit 13      **TIM8SMEN:** Włączanie zegarów timera TIM8 w trybach uśpienia i zatrzymania
- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegary timera TIM8 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
1: Zegary timera TIM8 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
- Bit 12      **SPI1SMEN:** Włączanie zegarów SPI1 w trybach uśpienia i zatrzymania
- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegary SPI1 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
1: Zegary SPI1 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
- Bit 11      **TIM1SMEN:** Włączanie zegarów timera TIM1 w trybach uśpienia i zatrzymania
- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegary timera TIM1 wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
1: Zegary timera TIM1 włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania
- Bity 10: 1      Zarezerwowane, muszą być utrzymywane wartości resetowania.
- Bit 0      **SYSCFGSMEN:** Włączenie zegarów SYSCFG + COMP + VREFBUF + OPAMP w trybach uśpienia i zatrzymania
- Ustawiany i czyszczony przez oprogramowanie.  
0: Zegary SYSCFG + COMP + VREFBUF + OPAMP wyłączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania  
1: Zegary SYSCFG + COMP + VREFBUF + OPAMP włączone przez bramkowanie zegara<sup>(1)</sup> w trybach uśpienia i zatrzymania

1. Rejestr ten konfiguruje jedynie bramkowanie zegara, a nie samo źródło zegara. Większość urządzeń peryferyjnych jest taktowana zegarem pojedynczym (zegar AHB lub APB), który jest zawsze wyłączony w trybie zatrzymania. W takim przypadku ustawienie bitu w trybie zatrzymania nie działa.

#### 5.4.26. Rejestr konfiguracji niezależnego zegara urządzeń peryferyjnych (RCC\_CCIPR)

Adres: 0x88

Wartość resetowania: 0x0000 0000

Dostęp: brak stanów oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADC345SEL[1:0]		ADC12SEL[1:0]		CLK48SEL[1:0]		FDCANSEL[1:0]		I2S23SEL[1:0]		SAI1SEL[1:0]		LPTIM1SEL[1:0]		I2C3SEL[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2C2SEL[1:0]		I2C1SEL[1:0]		LPUART1SEL[1:0]		UART5SEL[1:0]		UART4SEL[1:0]		USART3SEL[1:0]		USART2SEL[1:0]		USART1SEL[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31: 30      **ADC345SEL [1: 0]:** Wybór źródła zegara ADC3/4/5

Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara używane przez interfejs ADC345.

00: Nie wybrano zegara

01: Zegar PLL „P” wybrany jako zegar ADC345

10: Zegar systemowy wybrany jako zegar ADC3/4/5

11: Zarezerwowany.

Bity 29: 28 **ADC12SEL [1: 0]:** Wybór źródła zegara ADC1/2

Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara używane przez interfejs ADC.

00: Nie wybrano zegara

01: Zegar PLL „P” wybrany jako zegar ADC1/2

10: Zegar systemowy wybrany jako zegar ADC1/2

11: Zarezerwowany

Bity 27: 26 **CLK48SEL [1: 0]:** Wybór źródła zegara 48 MHz

Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara 48 MHz używane przez urządzenie USB FS i RNG.

00: Zegar HSI48 wybrany jako zegar 48 MHz

01: Zastrzeżone

10: Zegar PLL „Q” (PLL48M1CLK) wybrany jako zegar 48 MHz

11: Zarezerwowane, muszą być utrzymywane wartości resetowania

Bity 25: 24 **FDCANSEL [1: 0]** Wybór źródła zegara

Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara FDCAN.

00: Zegar HSE wybrany jako zegar FDCAN

01: Zegar PLL „Q” wybrany jako zegar FDCAN

10: Zegar PCLK wybrany jako zegar FDCAN

11: Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 23: 22 **I2S23SEL [1: 0]:** Wybór źródła zegara

Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara I2S23.

00: Zegar systemowy wybrany jako zegar I2S23

01: Zegar PLL „Q” wybrany jako zegar I2S23

10: Zegar podany na pinie I2S\_CKIN jest wybierany jako zegar I2S23

11: Zegar HSI16 wybrany jako zegar I2S23.

Bity 21: 20 **SAI1SEL [1: 0]:** Wybór źródła zegara

Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara SAI.

00: Zegar systemowy wybrany jako zegar SAI

01: Zegar PLL „Q” wybrany jako zegar SAI

10: Zegar dostarczony na pinie I2S\_CKIN wybrany jako zegar SAI

11: Zegar HSI16 wybrany jako zegar SAI

Bity 19: 18 **LPTIM1SEL [1: 0]:** Wybór źródła zegara timera 1 małej mocy

Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara LPTIM1.

00: PCLK wybrany jako zegar LPTIM1

01: Zegar LSI wybrany jako zegar LPTIM1

10: Zegar HSI16 wybrany jako zegar LPTIM1

- 11: Zegar LSE wybrany jako zegar LPTIM1
- Bity 17: 16**     **I2C3SEL [1: 0]:** Wybór źródła zegara I2C3
- Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara I2C3.
- 00: PCLK wybrany jako zegar I2C3  
 01: Zegar systemowy (SYSCLK) wybrany jako zegar I2C3  
 10: Zegar HSI16 wybrany jako zegar I2C3  
 11: Zarezerwowany
- Bity 15: 14**     **I2C2SEL [1: 0]:** Wybór źródła zegara I2C2
- Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara I2C2.
- 00: PCLK wybrany jako zegar I2C2  
 01: Zegar systemowy (SYSCLK) wybrany jako zegar I2C2  
 10: Zegar HSI16 wybrany jako zegar I2C2  
 11: Zarezerwowany
- Bity 13: 12**     **I2C1SEL [1: 0]:** Wybór źródła zegara I2C1
- Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara I2C1.
- 00: PCLK wybrany jako zegar I2C1  
 01: Zegar systemowy (SYSCLK) wybrany jako zegar I2C1  
 10: Zegar HSI16 wybrany jako zegar I2C1  
 11: Zarezerwowany
- Bity 11: 10**     **LPUART1SEL [1: 0]:** Wybór źródła zegara LPUART1
- Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara LPUART1.
- 00: PCLK wybrany jako zegar LPUART1  
 01: Zegar systemowy (SYSCLK) wybrany jako zegar LPUART1  
 10: Zegar HSI16 wybrany jako zegar LPUART1  
 11: Zegar LSE wybrany jako zegar LPUART1
- Bity 9: 8**     **UART5SEL [1: 0]:** Wybór źródła zegara UART5
- Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara UART5.
- 00: PCLK wybrany jako zegar UART5  
 01: Zegar systemowy (SYSCLK) wybrany jako zegar UART5  
 10: Zegar HSI16 wybrany jako zegar UART5  
 11: Zegar LSE wybrany jako zegar UART5
- Bity 7: 6**     **UART4SEL [1: 0]:** Wybór źródła zegara UART4
- Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara UART4.
- 00: PCLK wybrany jako zegar UART4  
 01: Zegar systemowy (SYSCLK) wybrany jako zegar UART4  
 10: Zegar HSI16 wybrany jako zegar UART4  
 11: Zegar LSE wybrany jako zegar UART4
- Bity 5: 4**     **USART3SEL [1: 0]:** Wybór źródła zegara USART3
- Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara USART3.
- 00: PCLK wybrany jako zegar USART3  
 01: Zegar systemowy (SYSCLK) wybrany jako zegar USART3

10: Zegar HSI16 wybrany jako zegar USART3

11: Zegar LSE wybrany jako zegar USART3

Bity 3: 2      **USART2SEL [1: 0]:** Wybór źródła zegara USART2

Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara USART2.

00: PCLK wybrany jako zegar USART2

01: Zegar systemowy (SYSCLK) wybrany jako zegar USART2

10: Zegar HSI16 wybrany jako zegar USART2

11: Zegar LSE wybrany jako zegar USART2

Bit 1: 0      **USART1SEL [1: 0]:** Wybór źródła zegara USART1

Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara USART1.

00: PCLK wybrany jako zegar USART1

01: Zegar systemowy (SYSCLK) wybrany jako zegar USART1

10: Zegar HSI16 wybrany jako zegar USART1

11: Zegar LSE wybrany jako zegar USART1

### 5.4.27. Rejestr kontroli domeny RTC (RCC\_BDCR)

Przesunięcie adresu: 0x90

Wartość resetowania: 0x0000 0000

Resetowanie przez reset domeny RTC, z wyjątkiem LSCOSEL, LSCOEN i BDRST, które są resetowane tylko przez reset zasilania po włączeniu RTC.

Dostęp: 0 ≤ stan oczekiwania ≤ 3, dostęp do słów, pół słów i bajtów

W przypadku kolejnych dostępu do tego rejestru wstawiane są dodatkowe stany oczekiwania (WS).

*Uwaga: Bity rejestru kontroli domeny RTC (RCC\_BDCR) znajdują się poza domeną V<sub>CORE</sub>. W rezultacie po zresetowaniu bity te są chronione przed zapisem i bit DBP w Rejestrze 1 sterowania mocą (PWR\_CR1) musi zostać ustawiony przed modyfikacją. Te bity (oprócz LSCOSEL, LSCOEN i BDRST) są resetowane dopiero po resecie domeny RTC. Reset wewnętrzny lub zewnętrzny nie będzie miał wpływu na te bity.*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	LSCOSEL	LSCOEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BDRST
						r/w	r/w								r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCEN	Res.	Res.	Res.	Res.	Res.	RTCSEL[1:0]	Res.	LSECSSD	LSECSSON	LSEDRV[1:0]	LSEBYP	LSERDY	LSEON		
r/w						r/w	r/w	r	r/w	r/w	r/w	r/w	r		r/w

Bit 31: 26      Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 25      **LSCOSEL:** Wybór wyjścia zegara niskiej prędkości

Ustawiany i czyszczony przez oprogramowanie.

0: Wybrano zegar LSI

1: Wybrano zegar LSE

Bit 24      **LSCOEN:** Włączenie wyjścia zegara niskiej prędkości

Ustawiany i czyszczony przez oprogramowanie.

0: Wyłącz wyjście zegara niskiej prędkości (LSCO)

1: Włączone wyjście zegara niskiej prędkości (LSCO)

Bity 23: 17	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 16	<b>BDRST:</b> Reset oprogramowania domeny RTC  Ustawiany i czyszczony przez oprogramowanie. 0: Reset nie aktywowany 1: Reset całej domeny RTC
Bit 15	<b>RTCEN:</b> Włączanie zegara RTC  Ustawiany i czyszczony przez oprogramowanie.. 0: Zegar RTC wyłączony 1: Włączony zegar RTC
Bity 14: 10	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bity 9: 8	<b>RTCSEL [1: 0]:</b> Wybór źródła zegara RTC  Ustawiany programowo, aby wybrać źródło zegara dla RTC. Kiedy źródło zegara RTC zostało wybrane, nie można już go zmienić, chyba że domena RTC zostanie zresetowana lub jeśli jest wykrywana awaria na LSE (ustawiony jest LSECSSD). Do ich zresetowania można użyć bitu BDRST. 00: brak zegara 01: Zegar oscylatora LSE używany jako zegar RTC 10: Zegar oscylatora LSI używany jako zegar RTC 11: Zegar oscylatora HSE podzielony przez 32 używany jako zegar RTC
Bit 7	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 6	<b>LSECSSD:</b> CSS przy wykrywaniu awarii LSE  Ustawiany sprzętowo, aby informować o wykryciu awarii przez system zabezpieczeń zegara na zewnętrznym oscylatorze 32 kHz (LSE). 0: Nie wykryto awarii w LSE (oscylator 32 kHz) 1: Wykryto awarię w LSE (oscylator 32 kHz)
Bit 5	<b>LSECSSON:</b> CSS na włączeniu LSE  Ustawiane przez oprogramowanie, aby włączyć System zabezpieczeń zegara w LSE (oscylator 32 kHz). LSECSSON musi być włączony po włączeniu i ustawieniu stanu gotowości oscylatora LSE (bit LSEON włączony, flaga LSEDRDY ustawiona sprzętowo) oraz po wybraniu bitu RTCSEL. Po włączeniu tego bitu nie można go wyłączyć, chyba że po wykryciu awarii LSE (LSECSSD = 1). W takim przypadku oprogramowanie MUSI wyłączyć bit LSECSSON. 0: CSS na LSE (zewnętrzny oscylator 32 kHz) wyłączony 1: CSS na LSE (zewnętrzny oscylator 32 kHz) włączony
Bity 4: 3	<b>LSEDRV [1: 0]:</b> Ustawianie wydajności oscylatora LSE  Ustawiany przez oprogramowanie do modulowania wydajności oscylatora LSE. 00: „Tryb Xtal” - niższa wydajność 01: „Tryb Xtal” - średnio niska wydajność 10: „Tryb Xtal” - średnia wydajność 11: „Tryb Xtal” - wyższa wydajność Oscylator jest w „trybie Xtal”, gdy nie jest w trybie obejścia.
Bit 2	<b>LSEBYP:</b> Obejście oscylatora LSE



Ustawiany i czyszczony przez oprogramowanie. w celu obejścia oscylatora w trybie debugowania. Ten bit można zapisać tylko wtedy, gdy zewnętrzny oscylator 32 kHz jest wyłączony (LSEON = 0 i LSEON = 0).

0: Oscylator LSE nie został pominięty

1: Oscylator LSE został pominięty

Bit 1 **LSERDY**: Aktywacja oscylatora LSE

Ustawiany i kasowany sprzętowo, aby wskazać, kiedy zewnętrzny oscylator 32 kHz jest stabilny. Po skasowaniu bitu LSEON, LSEON przechodzi w stan niski po 6 cyklach zewnętrznego oscylatora niskiej prędkości.

0: Oscylator LSE nie jest gotowy

1: Oscylator LSE gotowy

Bit 0 **LSEON**: Włączenie oscylatora LSE

Ustawiany i czyszczony przez oprogramowanie.

0: Oscylator LSE wyłączony

1: Oscylator LSE włączony

#### 5.4.28. Rejestr kontroli / statusu (RCC\_CSR)

Adres: 0x94

Wartość resetowania: 0x0C00 0000

Resetowany przez reset systemu, z wyjątkiem resetowania flag resetu przez wyłączenie zasilania.

Dostęp: 0 ≤ stan oczekiwania ≤ 3, dostęp do słów, pół słów i bajtów

W przypadku kolejnych dostępu do tego rejestru wstawiane są kolejne stany oczekiwania.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWR RSTF	WWDG RSTF	IWDG RSTF	SFT RSTF	BOR RSTF	PIN RSTF	OBL RSTF	Res.	RMVF	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r	r	r	r	r	r	r		rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSI RDY	LSION
														r	rw

Bit 31 **LPWRRSTF**: Flaga resetu niskiej mocy

Ustawiany sprzętowo, gdy nastąpi reset z powodu niedozwolonego wejścia w tryb zatrzymania, gotowości lub wyłączenia.

Czyszczony przez zapis do bitu RMVF.

0: Nie nastąpił reset z powodu niedozwolonego wejścia w tryb

1: Wystąpił reset z powodu niedozwolonego wejścia w tryb

Bit 30 **WWDGRSTF**: Flaga resetu okna watchdoga

Ustawiany sprzętowo, gdy nastąpi reset okna watchdoga.

Czyszczony przez zapis do bitu RMVF.

0: Nie nastąpiło resetowanie okna watchdoga

1: Wystąpił reset okna watchdoga

Bit 29 **IWDGRSTF**: Flaga resetu niezależnego okna watchdoga

Ustawiany sprzętowo, gdy wystąpi reset niezależnego okna watchdoga.

Czyszczony przez zapis do bitu RMVF.

0: Nie nastąpił reset niezależnego okna watchdoga

	1: Nastąpił reset niezależnego okna watchdoga
Bit 28	<b>SFTRSTF:</b> Flaga resetu oprogramowania  Ustawiany sprzętowo, gdy nastąpi reset oprogramowania. Wyczyszczone przez zapis do bitu RMVF. 0: Nie nastąpił reset oprogramowania 1: Nastąpił reset oprogramowania
Bit 27	<b>BORRSTF:</b> Flaga BOR  Ustawiany sprzętowo w przypadku wystąpienia BOR. Czyszczony przez zapis do bitu RMVF. 0: Nie wystąpił BOR 1: Wystąpił BOR
Bit 26	<b>PINRSTF:</b> Flaga resetowania pinów  Ustawiany sprzętowo, gdy nastąpi reset z pinu NRST. Czyszczony przez zapis do bitu RMVF. 0: Nie nastąpił reset z pinu NRST 1: Wystąpił reset z pinu NRST
Bit 25	<b>OBLRSTF:</b> Flaga resetu opcji bajtu ładowania  Ustawiany sprzętowo, gdy nastąpi reset z powodu ładowania bajtu opcji. Czyszczony przez zapis do bitu RMVF. 0: Nie nastąpił reset z powodu ładowania bajtu opcji 1: Wystąpił reset z powodu ładowania bajtu opcji
Bit 24	Zarezerwowany, musi być utrzymywana wartość resetowania.
Bit 23	<b>RMVF:</b> Usuwanie flag resetowania  Ustawiany przez oprogramowanie, aby usunąć flagi resetowania. 0: Brak efektu 1: Usuwanie flag resetowania
Bity 22: 2	Zarezerwowane, muszą być utrzymywane wartości resetowania.
Bit 1	<b>LSIRDY:</b> Gotowość oscylatora LSI  Ustawiany i kasowany sprzętowo, aby wskazać, kiedy oscylator LSI jest stabilny. Po skasowaniu bitu LSION, LSIRDY obniża się po 3 cyklach zegara oscylatora LSI. Ten bit można ustawić, nawet jeśli LSION = 0, jeśli LSI jest wymagany przez system zabezpieczeń zegara na LSE, albo przez niezależnego watchdoga, albo przez RTC. 0: Oscylator LSI nie jest gotowy 1: Oscylator LSI gotowy
Bit 0	<b>LSION:</b> Włączenie oscylatora LSI  Ustawiany i czyszczony przez oprogramowanie. 0: Oscylator LSI włączony 1: Oscylator LSI włączony

### 5.4.29. Rejestr odzyskiwania zegara RC (RCC\_CRRCR)

Adres: 0x98

Wartość resetowania: 0x0000 XXX0

Gdzie X jest zaprogramowany fabrycznie.

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSI48CAL[8:0]									Res.	Res.	Res.	Res.	Res.	HSI48 RDY	HSI48 ON
r	r	r	r	r	r	r	r	r						r	rw

Bity 31: 16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 15: 7 **HSI48CAL [8: 0]:** Kalibracja zegara HSI48

Te bity są inicjowane podczas uruchamiania z fabrycznie zaprogramowaną wartością korekcji kalibracji HSI48.

Bity są tylko do odczytu.

Bity 6: 2 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 1 **HSI48RDY:** Flaga gotowości zegara HSI48

Ustawiany sprzętowo, aby wskazać, że oscylator HSI48 jest stabilny. Ten bit jest ustawiany tylko wtedy, gdy HSI48 jest włączany programowo poprzez ustawienie wartości HSI48ON.

0: Oscylator HSI48 nie jest gotowy

1: Oscylator HSI48 gotowy

Bit 0 **HSI48ON:** Włączanie zegara HSI48

Ustawiany i czyszczony przez oprogramowanie.

Czyszczony przez sprzęt, aby zatrzymać HSI48 podczas wchodzenia w tryb zatrzymania, gotowości lub wyłączenia.

0: Oscylator HSI48 wyłączony

1: Oscylator HSI48 włączony

### 5.4.30. Rejestr konfiguracji niezależnego zegara urządzeń peryferyjnych (RCC\_CCIPR2)

Adres: 0x9C

Wartość resetowania: 0x0000 0000

Dostęp: brak stanu oczekiwania, dostęp do słów, pół słów i bajtów

W przypadku kolejnych dostępow do tego rejestru wstawiane są dodatkowe stany oczekiwania.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	QSPISEL [1:0]		Res.	Res.	Res.	Res.
										rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C4SEL[1:0]	
														rw	rw

Bity 31: 22 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 21: 20 **QSPISEL [1: 0]:** Wybór źródła zegara QUADSPI

Ustawiane i resetowane przez oprogramowanie.

00: zegar systemowy wybrany jako zegar QUADSPI jądra

01: Zegar HSI16 wybrany jako zegar QUADSPI jądra

10: Zegar PLL „Q” wybrany jako zegar QUADSPI jądra

11: Zastrzeżone

Bity 19: 2 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bity 1: 0 **I2C4SEL [1: 0]:** Wybór źródła zegara I2C4

Te bity są ustawiane i usuwane przez oprogramowanie, aby wybrać źródło zegara I2C4.

00: PCLK wybrany jako zegar I2C4

01: Zegar systemowy (SYSCLK) wybrany jako zegar I2C4

10: Zegar HSI16 wybrany jako zegar I2C4

11: Zastrzeżone

### 5.4.31. Mapa rejestrów RCC

Poniższa tabela zawiera mapę rejestrów RCC i wartości bitów resetowania.

Tabela 31 Mapa rejestrów RCC i wartości bitów resetowania

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	RCC_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value			0	0	0	0	0	0	0					0	0	0	0					0	0	0	0							
0x04	RCC_ICSCR	Res.	HSITRIM[6:0]						HSICAL[7:0]						Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	Reset value	1	0	0	0	0	0	0	0	0	X	X	X	X	X	X	X	X															
0x08	RCC_CFGR	Res.	MCOPRE [2:0]			MCOSEL [3:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PPRE2 [2:0]		PPRE1 [2:0]		HPRE[3:0]			SWS [1:0]		SW [1:0]			
	Reset value	0	0	0	0	0	0	0													0	0	0	0	0	0	0	0	0	0	0	0	0

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x0C	RCC_PLL CFGR	PLL PDIV[4:0]				PLL R [1:0]				PLL REN	Res.	PLL Q [1:0]				PLL QEN	Res.	Res.	Res.	PLL N [6:0]				Res.	Res.	PLL M [3:0]				Res.	Res.	PLL P [1:0]	PLL C [0]	
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0x18	RCC_CIER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HSI48RDYIE	LSECSSIE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value																						0	0	0	0	0	0	0	0	0	0	0	0
0x1C	RCC_CIFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HSI48RDYF	LSECSSF	CSSF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	Reset value																						0	0	0	0	0	0	0	0	0	0	0	0
0x20	RCC_CICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HSI48RDYC	LSECSSC	CSSC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	Reset value																						0	0	0	0	0	0	0	0	0	0	0	0
0x28	RCC_AHB1RSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value																					0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	RCC_AHB2RSTR	Res.	Res.	Res.	Res.	Res.	RNGRST	Res.	AESRST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	RCC_AHB3RSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value																																	0
0x38	RCC_APB1RSTR1	LPTIM1RST	I2C3RST	Res.	PWRRST	Res.	Res.	FDCANRST	Res.	UCPD1RST	I2C2RST	I2C1RST	UART5RST	UART4RST	USART3RST	USART2RST	Res.	SPI3RST	SPI2RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	Reset value	0	0		0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	RCC_APB1RSTR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value																																	0

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x40	RCC_APB2RSTR	Res.	Res.	Res.	Res.	Res.	HRTIMRST	Res.	Res.	Res.	Res.	SAI1RST	TIM20RST	Res.	TIM17RST	TIM16RST	TIM15RST	SPI4RST	USART1RST	TIM8RST	SPI1RST	TIM1RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSCFGRST	
	Reset value						0					0	0		0	0	0	0	0	0	0	0	0										0		
0x48	RCC_AHB1ENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CRCEN	Res.	Res.	Res.	FLASHEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA1EN	
	Reset value																					0				1								0	
0x4C	RCC_AHB2ENR	Res.	Res.	Res.	Res.	Res.	RNGEN	Res.	AESEN	Res.	Res.	Res.	Res.	DAC4EN	DAC3EN	DAC2EN	DAC1EN	Res.	Res.	ADC345EN	ADC12EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOAEN	
	Reset value						0		0					0	0	0	0			0	0													0	
0x50	RCC_AHB3ENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value																									0									0
0x58	RCC_APB1ENR1	LPTIM1EN	I2C3EN	Res.	PWREN	Res.	Res.	FDCANEN	Res.	UCPD1EN	I2C2EN	I2C1EN	UART5EN	UART4EN	USART3EN	USART2EN	Res.	SP3EN	SPI2EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	Reset value	0	0		0			0		0	0	0	0	0	0	0		0	0																0
0x5C	RCC_APB1ENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value																																		0
0x60	RCC_APB2ENR	Res.	Res.	Res.	Res.	Res.	HRTIM1EN	Res.	Res.	Res.	Res.	SAI1EN	TIM20EN	Res.	TIM17EN	TIM16EN	TIM15EN	SPI4EN	USART1EN	TIM8EN	SPI1EN	TIM1EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value						0					0	0		0	0	0	0	0	0	0	0	0												0
0x68	RCC_AHB1SMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value																																		



Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x6C	RCC_AHB2SMENR	Res.	Res.	Res.	Res.	Res.	RNGSMEN	Res.	AESSMEN	Res.	Res.	Res.	Res.	DAC4SMEN	DAC3SMEN	DAC2SMEN	DAC1SMEN	Res.	ADC345SMEN	ADC12SMEN	Res.	Res.	CCMSRAMSMEN	SRAM2SMEN	Res.	Res.	GPIOGSMEN	GPIOFSMEN	GPIOESMEN	GPIODSMEN	GPIOCSMEN	GPIOBSMEN	GPIOASMEN				
	Reset value						1		1					1	1	1	1		1	1			1	1			1	1	1	1	1	1	1				
0x70	RCC_AHB3SMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	QSPISMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FMCSMEN				
	Reset value																								1								1				
0x78	RCC_APB1SMENR1	LPTIM1SMEN	I2C3SMEN	Res.	PWRSMEN	Res.	Res.	FDCANSMEN	Res.	UCPD1SMEN	I2C2SMEN	I2C1SMEN	UART5SMEN	UART4SMEN	USART3SMEN	USART2SMEN	Res.	SP3SMEN	SPI2SMEN	Res.	Res.	Res.	Res.	WWDGSMEN	RTCAPBSMEN	Res.	CRSSMEN	Res.	Res.	Res.	Res.	TIM7SMEN	TIM8SMEN	TIM5SMEN	TIM4SMEN	TIM3SMEN	TIM2SMEN
	Reset value	1	1		1			1		1	1	1	1	1	1	1		1	1					1	1	Res.	1							1	1	1	1
0x7C	RCC_APB1SMENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UCPD1SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C4SMEN	LPUART1SMEN		
	Reset value																									0								1	1		
0x80	RCC_APB2SMENR	Res.	Res.	Res.	Res.	Res.	HRTIM1SMEN	Res.	DFSDM1SMEN	Res.	Res.	SAI1SMEN	TIM20SMEN	Res.	TIM17SMEN	TIM16SMEN	TIM15SMEN	Res.	USART1SMEN	TIM8SMEN	SPI1SMEN	TIM1SMEN	SPI4SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSCFGSMEN
	Reset value						1	0				1	1		1	1	1		1	1	1	1	0												1	1	
0x88	RCC_CCIPR	ADC345SEL [1:0]	ADC12SEL [1:0]	Res.	CLK48SEL [1:0]	Res.	FDCANSEL [1:0]	I2S23SEL [1:0]	Res.	SAI1SEL [1:0]	Res.	LPTIM1SEL [1:0]	Res.	I2C3SEL [1:0]	I2C2SEL [1:0]	I2C1SEL [1:0]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x90	RCC_BDCR	Res.	Res.	Res.	Res.	Res.	LSCOSEL	LSCOEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	Reset value						0	0																													
0x94	RCC_CSR	LPWRRSTF	WWDRSTF	WDGRSTF	SFTRSTF	BORRSTF	PINRSTF	OBLRSTF	Res.	RMVF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	Reset value	0	0	0	0	1	1	0		0																											

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x98	RCC_CRRCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HSI48CAL[8:0]								Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HSI48RD	HSI48ON
	Reset value																	X	X	X	X	X	X	X	X	X								0	0		
0x9C	RCC_CCIPR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OSPISE	L	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C4SEL	[1:0]			
	Reset value											0	0																			0	0				

## 6. Uniwersalne wejścia / wyjścia (GPIO)

### 6.1. Wprowadzenie

Każdy port We/Wy ogólnego przeznaczenia (GPIO) ma:

- cztery 32-bitowe rejestry konfiguracji (GPIOx\_MODER, GPIOx\_OTYPER, GPIOx\_OSPEEDR i GPIOx\_PUPDR),
- dwa 32-bitowe rejestry danych (GPIOx\_IDR i GPIOx\_ODR)
- 32-bitowy rejestr set / reset (GPIOx\_BSRR).

Ponadto wszystkie GPIO mają:

- 32-bitowy rejestr blokujący (GPIOx\_LCKR)
- dwa 32-bitowe rejestry wyboru alternatywnej funkcji (GPIOx\_AFRH i GPIOx\_AFRL).

### 6.2. Główne cechy GPIO

- Stany wyjściowe: push-pull lub open drain + pull-up / down
- Odbieranie danych wyjściowych z rejestru danych wyjściowych (GPIOx\_ODR) lub urządzeń peryferyjnych (wyjście funkcji alternatywnej)
- Wybór prędkości dla każdego wejścia / wyjścia
- Stany wejściowe: bezpotencjałowy, pull-up / down, analogowy
- Wprowadzanie danych wejściowe do rejestru danych wejściowych (GPIOx\_IDR) lub urządzeń peryferyjnych (wejście funkcji alternatywnej)
- Rejestr ustawiania bitów i resetowania (GPIOx\_BSRR) dla bitowego dostępu do zapisu do GPIOx\_ODR
- Mechanizm blokujący (GPIOx\_LCKR) zapewniający zamrożenie konfiguracji portów We/Wy
- Funkcja analogowa
- Rejestry alternatywnego wyboru funkcji
- Szybki przełączanie - zmiany co dwa cykle zegara
- Wysoce elastyczne multipleksowanie pinów, pozwalające na użycie pinów I/O jako GPIO lub jako jednej z kilku funkcji peryferyjnych

### 6.3. Opis funkcjonalny GPIO

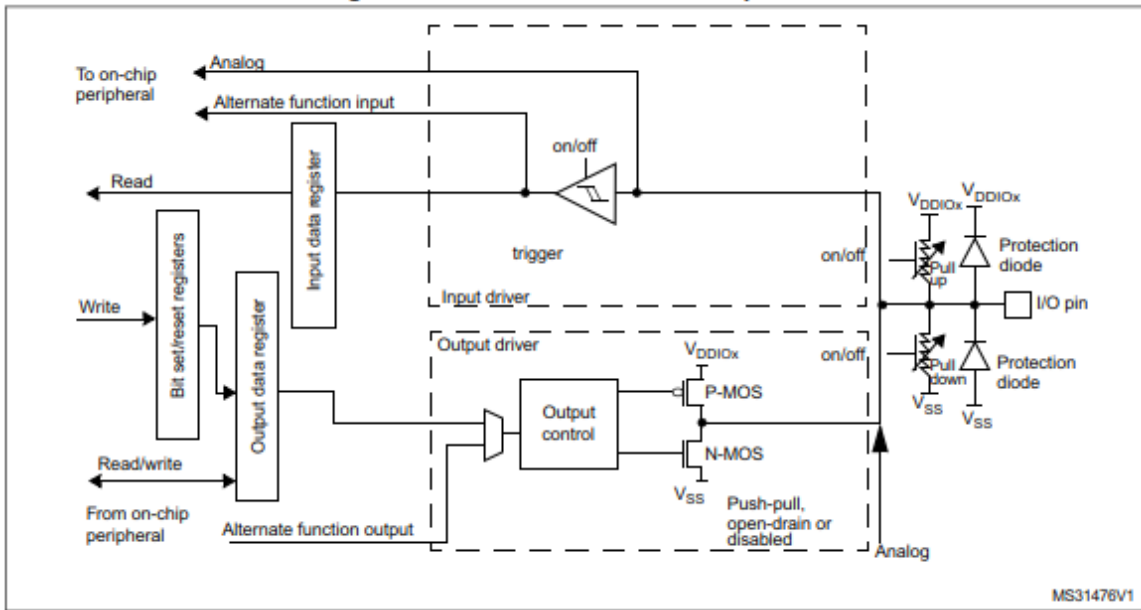
Z zastrzeżeniem specyficznych cech sprzętowych każdego portu We/Wy, każdy bit portu uniwersalnych portów We/Wy (GPIO) może być indywidualnie skonfigurowany przez oprogramowanie w kilku trybach:

- Wejście swobodne (floating)
- Wejście z podnoszeniem napięcia (pull-up)
- Wejście z obniżeniem napięcia (pull-down)

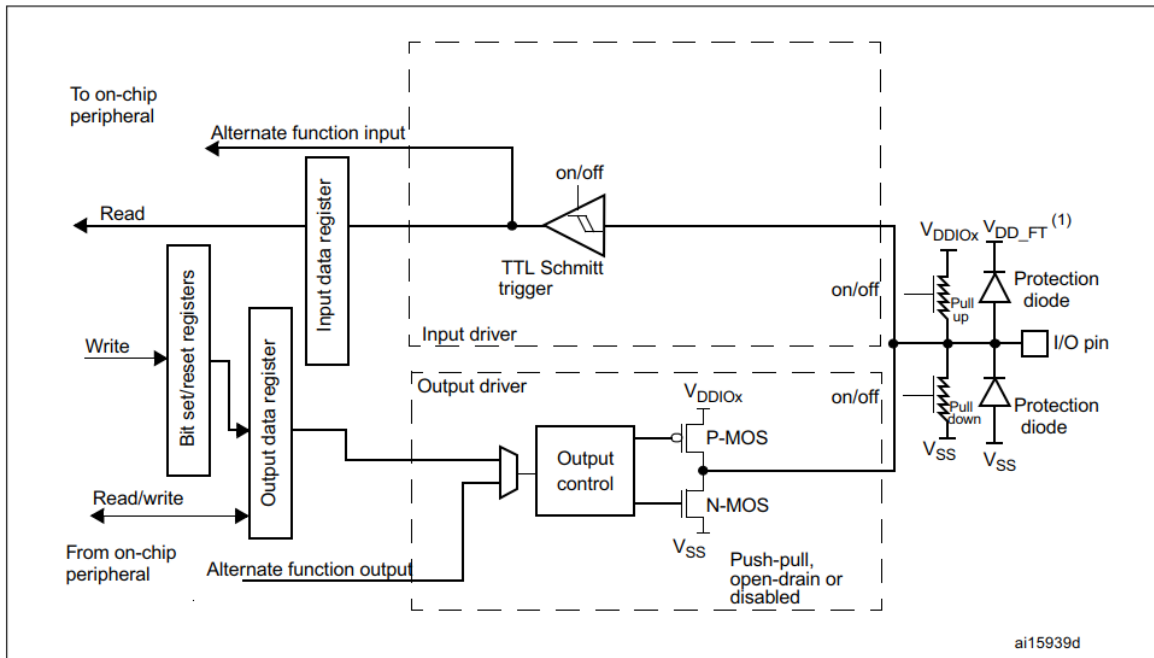


- Analogowy
- Wyjście open-drain z możliwością podnoszenia lub obniżania napięcia (pull-up lub pull-down)
- Wyjście push-pull z możliwością podnoszenia lub obniżania napięcia (pull-up lub pull-down)
- Alternatywna funkcja push-pull z możliwością podnoszenia lub obniżania napięcia (pull-up lub pull-down)
- Alternatywna funkcja open-drain z możliwością podnoszenia lub obniżania napięcia (pull-up lub pull-down)

Każdy bit portu We/Wy można dowolnie programować, jednak do rejestrów portów We/Wy należy uzyskać dostęp w postaci 32-bitowych słów, pół słów lub bajtów. Celem rejestrów GPIOx\_BSRR i GPIOx\_BRR jest umożliwienie atomowego odczytu / modyfikacji dostępu do dowolnego z rejestrów GPIOx\_ODR. W ten sposób nie ma ryzyka wystąpienia przerwania między dostępem do odczytu a modyfikacji.



Rysunek 17 Podstawowa struktura bitu portu We/Wy



Adnotacja:  $V_{DD\_FT}$  jest potencjałem specyficznym dla portów We/Wy tolerujących zasilanie 5V i różni się od  $V_{DD}$ .

Rysunek 18 Podstawowa struktura 5-woltowego bitu portu We/Wy

Tabela 32 Tabela konfiguracji bitów portu (1)

MODE(i) [1:0]	OTYPE(i)	OSPEED(i) [1:0]		PUPD(i) [1:0]		I/O configuration	
01	0	SPEED [1:0]				GP output	PP
	0					GP output	PP + PU
	0					GP output	PP + PD
	0					Reserved	
	1					GP output	OD
	1					GP output	OD + PU
	1					GP output	OD + PD
	1					Reserved (GP output OD)	
10	0	SPEED [1:0]				AF	PP
	0					AF	PP + PU
	0					AF	PP + PD
	0					Reserved	
	1					AF	OD
	1					AF	OD + PU
	1					AF	OD + PD
	1					Reserved	
00	x	x	x	0	0	Input	Floating
	x	x	x	0	1	Input	PU
	x	x	x	1	0	Input	PD
	x	x	x	1	1	Reserved (input floating)	
11	x	x	x	0	0	Input/output	Analog
	x	x	x	0	1	Reserved	
	x	x	x	1	0	Input/output	Analog, PD
	x	x	x	1	1	Reserved	

## 1. Oznaczenia:

- GP = uniwersalny,
- PP = push-pull,
- PU = pull-up,
- PD = pull-down,
- OD = open-drain,
- AF = funkcja alternatywna.

### 6.3.1. Uniwersalne We/Wy (GPIO)

Podczas resetowania i tuż po resecie funkcje alternatywne nie są aktywne, a większość portów We/Wy jest skonfigurowana w trybie analogowym.

Po resecie piny debugowania znajdują się w funkcji alternatywnej AF trybie pull-up / pull-up:

- PA15: JTDI w trybie pull-up
- PA14: JTCK / SWCLK w trybie pull-down
- PA13: JTMS / SWDAT w trybie pull-up
- PB4: NJTRST w trybie pull-up

- PB3: JTDO w stanie swobodnym bez podbijania / obniżania

Pin PB8 / BOOT0 znajduje się w trybie wejścia podczas resetowania, co najmniej do końca fazy ładowania bajtu opcji.

Gdy pin jest skonfigurowany jako wyjście, wartość zapisywana w rejestrze danych wyjściowych (GPIOx\_ODR) jest niego wyprowadzana. Możliwe jest użycie sterownika wyjściowego w trybie push-pull lub w open-drain (sterowanie jest tylko na niskim poziomie, wysoki poziom jest HI-Z).

Rejestr danych wejściowych (GPIOx\_IDR) przechwytuje dane obecne na pinie We/Wy w każdym cyklu zegara AHB.

Wszystkie piny GPIO mają niewielkie wewnętrzne rezystory podbijające i obniżające, które można aktywować lub nie w zależności od wartości w rejestrze GPIOx\_PUPDR.

### 6.3.2. Multipleksowanie i mapowanie pinów We/Wy funkcji alternatywnych

Piny We/Wy urządzenia STM32 są połączone z peryferyjnymi urządzeniami / modułami za pośrednictwem multipleksera, który umożliwia tylko jedną alternatywną funkcję peryferyjną (AF) podłączoną jednocześnie do pinu. W ten sposób nie może wystąpić konflikt między urządzeniami peryferyjnymi dostępnymi na tym samym pinie We/Wy.

Każdy pin We/Wy ma multiplekser z maksymalnie szesnastoma alternatywnymi funkcjami wejścia (od AF0 do AF15), które można skonfigurować za pomocą rejestrów GPIOx\_AFRL (dla pinów od 0 do 7) i GPIOx\_AFRH (dla pinów od 8 do 15):

- Po zresetowaniu wybór multipleksera jest alternatywną funkcją 0 (AF0). I / O są konfigurowane w trybie funkcji alternatywnej poprzez rejestr GPIOx\_MODER.
- Konkretne przypisania funkcji alternatywnych dla każdego styku są wyszczególnione w arkuszu danych urządzenia STM32.

Oprócz tej elastycznej architektury multipleksowania We/Wy, każde urządzenie peryferyjne ma alternatywne funkcje mapowane na różne piny We/Wy, aby zoptymalizować liczbę urządzeń peryferyjnych dostępnych w mniejszych pakietach.

Aby użyć We/Wy w danej konfiguracji, użytkownik musi postępować w następujący sposób:

- **Funkcja debugowania:** po każdym zresetowaniu urządzenia te piny są przypisywane jako alternatywne piny funkcyjne, które mogą być natychmiast wykorzystane przez hosta debuggera
- **GPIO:** skonfigurować żądane I/O jako wyjście, wejście lub analog w rejestrze GPIOx\_MODER.
- **Peryferyjna funkcja alternatywna:**
  - Podłączyć I/O do żądanego AFx w jednym z rejestrów: GPIOx\_AFRL lub GPIOx\_AFRH.
  - Wybrać typ, pull-up/pull-down i prędkość wyjścia odpowiednio za pomocą rejestrów GPIOx\_OTYPER, GPIOx\_PUPDR i GPIOx\_OSPEEDER.
  - Skonfigurować żądane We/Wy jako funkcję alternatywną w rejestrze GPIOx\_MODER.
- **Dodatkowe funkcje:**
  - W przypadku ADC, DAC, OPAMP i COMP skonfigurować żądane We/Wy w trybie analogowym w rejestrze GPIOx\_MODER i skonfigurować wymaganą funkcję w rejestrach ADC, DAC, OPAMP i COMP.
  - W przypadku dodatkowych funkcji, takich jak RTC, WKUPx i oscylatory, skonfigurować wymaganą funkcję w powiązanych rejestrach RTC, PWR i RCC. Funkcje te mają wyższy priorytet niż konfiguracja w standardowych rejestrach GPIO.

### 6.3.3. Rejestry kontroli portów We/Wy

Każdy z portów GPIO ma cztery 32-bitowe rejestry sterujące zamapowane w pamięci (GPIOx\_MODER, GPIOx\_OTYPER, GPIOx\_OSPEEDR, GPIOx\_PUPDR), aby skonfigurować do 16 We/Wy.

Rejestr GPIOx\_MODER służy do wyboru trybu I/O (wejście, wyjście, AF, analog).

Rejestry GPIOx\_OTYPER i GPIOx\_OSPEEDR służą do wybierania typu wyjścia (push-pull lub open-drain) i prędkości.

Rejestr GPIOx\_PUPDR służy do wybierania pull-up / pull-down niezależnie od kierunku wejścia / wyjścia.

#### 6.3.4. Rejestry danych portów We/Wy

Każdy GPIO ma dwa 16-bitowe rejestry danych odwzorowanych w pamięci: rejestry danych wejściowych i wyjściowych (GPIOx\_IDR i GPIOx\_ODR).

GPIOx\_ODR przechowuje dane do wyprowadzenia, jest dostępny do odczytu / zapisu.

Dane wprowadzane przez I/O są przechowywane w rejestrze danych wejściowych (GPIOx\_IDR), rejestrze tylko do odczytu.

#### 6.3.5. Obsługa danych bitowych We/Wy

Rejestr resetowania zestawu bitów (GPIOx\_BSRR) jest rejestrem 32-bitowym, który pozwala aplikacji ustawić i zresetować każdy pojedynczy bit w rejestrze danych wyjściowych (GPIOx\_ODR). Rejestr resetowania zestawu bitów ma rozmiar dwukrotnie większy niż GPIOx\_ODR.

Każdemu bitowi w GPIOx\_ODR odpowiadają dwa bity kontrolne w GPIOx\_BSRR: BS(i) i BR(i).

Po zapisaniu 1 bit **BS(i) ustawia** odpowiedni bit ODR(i). Po zapisaniu 1, bit **BR(i) resetuje** odpowiedni bit ODR(i).

Zapis 0 dowolnego bitu w GPIOx\_BSRR nie ma żadnego wpływu na odpowiedni bit w GPIOx\_ODR. Jeśli nastąpi zarówno próba ustawienia, jak i zresetowania bitów w GPIOx\_BSRR, to ustawiane ma priorytet.

Użycie rejestru GPIOx\_BSRR do zmiany wartości poszczególnych bitów w GPIOx\_ODR daje efekt „jednego strzału”, który nie blokuje bitów GPIOx\_ODR. Do bitów GPIOx\_ODR zawsze można uzyskać bezpośredni dostęp. Rejestr GPIOx\_BSRR zapewnia sposób na atomiczną obsługę bitową.

Oprogramowanie nie musi wyłączać przerwań podczas programowania GPIOx\_ODR na poziomie bitów: można zmodyfikować jeden lub więcej bitów w jednym atomicznym dostępie do zapisu AHB.

#### 6.3.6. Mechanizm blokujący GPIO

Możliwe jest zamrożenie rejestrów kontrolnych GPIO poprzez zastosowanie określonej sekwencji zapisu do rejestru GPIOx\_LCKR. Zamrożone rejestry to

- GPIOx\_MODER,
- GPIOx\_OTYPER,
- GPIOx\_OSPEEDR,
- GPIOx\_PUPDR,
- GPIOx\_AFRL
- i GPIOx\_AFRH.

Aby zapisać rejestr GPIOx\_LCKR, należy zastosować określoną sekwencję zapisu / odczytu. Gdy prawidłowa sekwencja LOCK zostanie zastosowana do bitu 16-go w tym rejestrze, wartość LCKR [15: 0] zostanie użyta do zablokowania konfiguracji I/O (podczas sekwencji zapisu wartość LCKR [15: 0] musi być taka sama).

Gdy sekwencja LOCK zostanie zastosowana do bitu portu, wartości bitu portu nie można już modyfikować do czasu następnego resetu MCU lub resetu urządzeń peryferyjnych.

Każdy bit GPIOx\_LCKR zawiesza odpowiedni bit w rejestrach kontrolnych (GPIOx\_MODER, GPIOx\_OTYPER, GPIOx\_OSPEEDR, GPIOx\_PUPDR, GPIOx\_AFRL i GPIOx\_AFRH).

Seqwencję LOCK można wykonać tylko przy użyciu dostępu do rejestru GPIOx\_LCKR za pomocą słowa (o długości 32 bitów). GPIOx\_LCKR bit 16-ty musi być ustawiony jednocześnie z bitami [15: 0].

### 6.3.7. Wejścia/wyjścia - funkcje alternatywne

Dostępne są dwa rejestry do wyboru jednego z wejść/wyjść funkcji alternatywnych dostępnych dla każdego I/O. Za pomocą tych rejestrów użytkownik może podłączyć funkcję alternatywną do jakiegoś innego pinu zgodnie z wymaganiami aplikacji.

Oznacza to, że wiele możliwych funkcji peryferyjnych jest multipleksowanych na każdym GPIO przy użyciu rejestrów alternatywnych GPIOx\_AFRL i GPIOx\_AFRH. W ten sposób aplikacja może wybrać dowolną z możliwych funkcji dla każdego wejścia/wyjścia.

Sygnał wyboru AF jest wspólny dla wejścia funkcji alternatywnej i wyjścia funkcji alternatywnej i jeden kanał jest wybierany dla wejścia / wyjścia funkcji alternatywnej dla danego portu I/O.

### 6.3.8. Zewnętrzne metody przerwania / wybudzenia

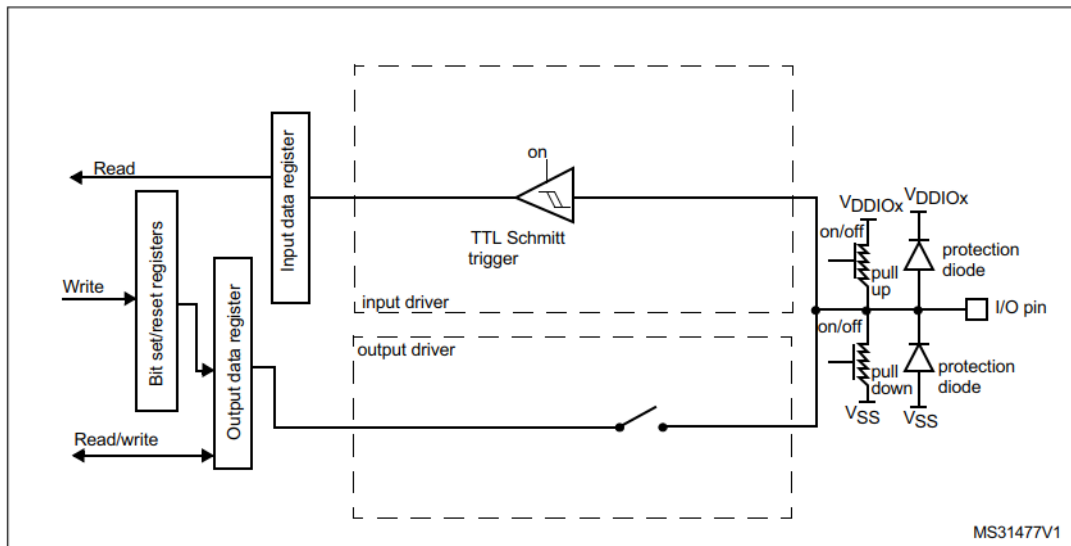
Wszystkie porty mają możliwość zewnętrznego przerwania. Aby korzystać z zewnętrznych przerwań, port musi być skonfigurowany w trybie input.

### 6.3.9. Konfiguracja Wejścia

Gdy port I/O jest zaprogramowany jako wejście:

- Bufor wyjściowy jest wyłączony
- Wejście jest aktywowane wyzwalaczem Schmitt'a
- Rezystory podbijające i obniżające są aktywowane w zależności od wartości w rejestrze GPIOx\_PUPDR
- Dane znajdujące się na pinie I/O są próbkowane do rejestru danych wejściowych w każdym cyklu zegara AHB
- Dostęp do odczytu rejestru danych wejściowych zapewnia stan I/O

Rysunek poniżej pokazuje konfigurację wejścia na bicie portu I/O.



Rysunek 19 Konfiguracja Wejścia: floating/pull up/pull down

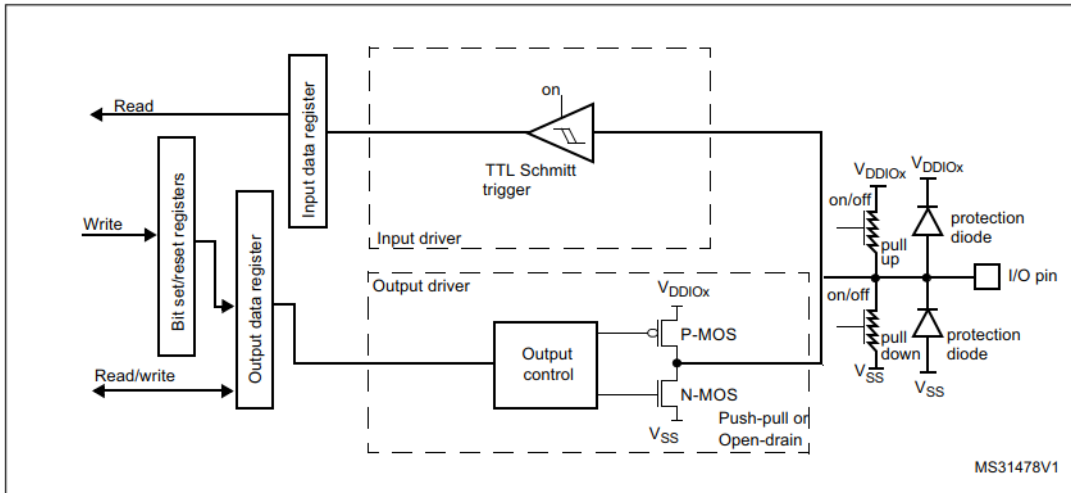
### 6.3.10. Konfiguracja Wyjścia

Gdy port I/O jest zaprogramowany jako wyjście:

- Bufor wyjściowy jest włączony:
  - Tryb open drain: 0 w rejestrze wyjściowym aktywuje N-MOS, podczas gdy 1 w rejestrze wyjściowym opuszcza port w trybie Hi-Z (P-MOS nigdy nie jest aktywowany)

- Tryb push-pull: 0 w rejestrze wyjściowym aktywuje N-MOS, podczas gdy 1 w rejestrze wyjściowym aktywuje P-MOS
- Wyjście jest aktywowane wyzwalaczem Schmitt'a
- Rezystory podbijające i obniżające są aktywowane w zależności od wartości w rejestrze GPIOx\_PUPDR
- Dane znajdujące się na pinie I/O są próbkowane do rejestru danych wejściowych w każdym cyklu zegara AHB
- Dostęp do odczytu rejestru danych wejściowych zapewnia stan I/O
- Dostęp do odczytu rejestru danych wyjściowych zapewnia ostatnia zapisana wartość

Rysunek poniżej pokazuje konfigurację wyjścia na bicie portu I/O.



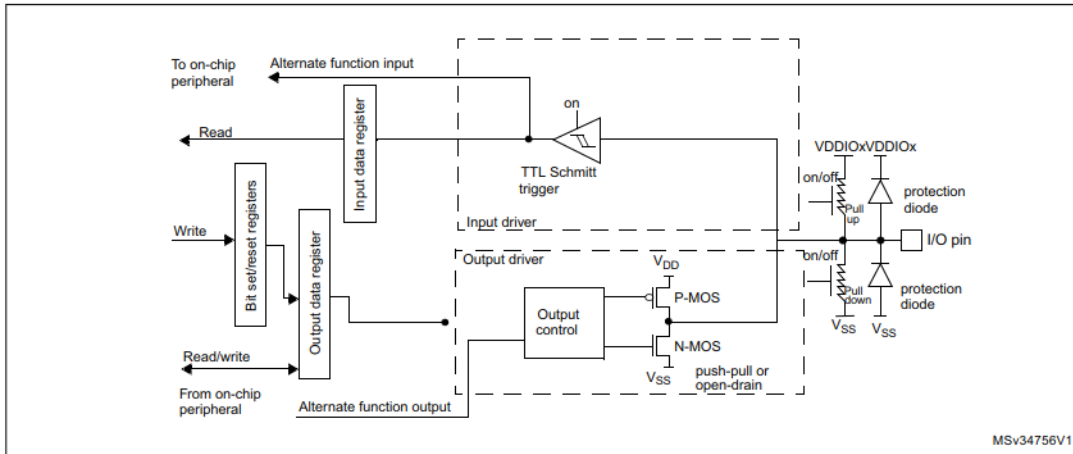
Rysunek 20 Konfiguracja Wyjścia

### 6.3.11. Konfiguracja Funkcji Alternatywnej

Gdy port I/O jest zaprogramowany jako Funkcja Alternatywna:

- Bufor wyjściowy można skonfigurować w trybie open drain lub w trybie push-pull
- Bufor wyjściowy jest sterowany sygnałami pochodzącymi z urządzeń peryferyjnych (włączenie nadajnika i dostępu do danych)
- Wejście jest aktywowane wyzwalaczem Schmitt'a
- Rezystory podbijające i obniżające są aktywowane w zależności od wartości w rejestrze GPIOx\_PUPDR
- Dane znajdujące się na pinie I/O są próbkowane do rejestru danych wejściowych w każdym cyklu zegara AHB
- Dostęp do odczytu rejestru danych wejściowych zapewnia stan I/O

Rysunek poniżej pokazuje konfigurację funkcji alternatywnej bitu portu I/O.



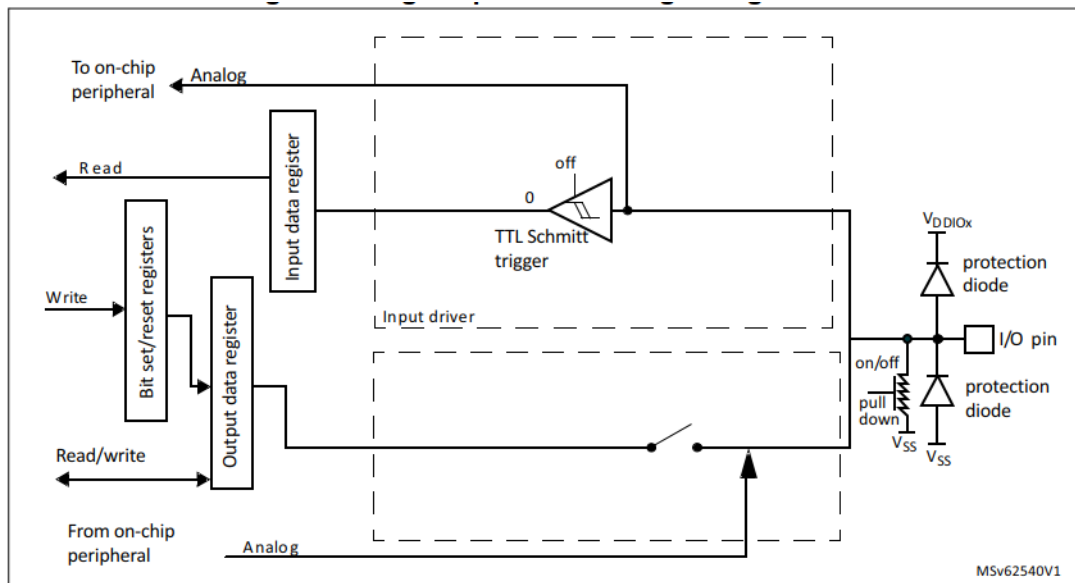
Rysunek 21 Konfiguracja Funkcji Alternatywnej

### 6.3.12. Konfiguracja analogowa

Gdy port I/O jest zaprogramowany jako konfiguracja analogowa:

- Bufor wyjściowy jest wyłączony
- Wejście wyzwalające Schmitt jest dezaktywowane, zapewniając zerowy pobór mocy dla każdej analogowej wartości pina We/Wy. Na wyjściu wyzwalacza Schmitt'a jest wymuszana stała wartość (0).
- Lekkie pull-up jest wyłączone przez sprzęt. Lekkie pull-down jest konfigurowalne.
- Dostęp do odczytu rejestru danych wejściowych otrzymuje wartość 0

Rysunek poniżej pokazuje konfigurację wejścia analogowego o wysokiej impedancji na bitach portu I/O.



Rysunek 22 Konfigurację wejścia analogowego o wysokiej impedancji

### 6.3.13. Wykorzystanie pinów oscylatora HSE lub LSE jako GPIO

Gdy oscylator HSE lub LSE jest WYŁĄCZONY (stan domyślny po resecie), powiązane piny oscylatora mogą być używane jako normalne GPIO.

Gdy oscylator HSE lub LSE jest włączony (przez ustawienie bitu HSEON lub LSEON w rejestrze RCC\_CSR), oscylator przejmuje kontrolę nad powiązаныmi pinami, a konfiguracja GPIO tych pinów nie funkcjonuje.



Gdy oscylator jest skonfigurowany w trybie zewnętrznego zegara użytkownika, tylko pin wejściowy jest zarezerwowany dla wejścia zegara, a pin OSC\_OUT lub OSC32\_OUT może nadal być używany jako normalny GPIO.

### 6.3.14. Używanie pinów GPIO w domenie zasilania RTC

Funkcjonalność GPIO PC13/PC14/PC15 zostaje utracona, gdy domena zasilania rdzenia jest wyłączona (gdy urządzenie przechodzi w tryb gotowości). W takim przypadku, jeśli ich konfiguracja GPIO nie jest pomijana przez konfigurację RTC, te piny są ustawione w trybie wejścia analogowego.

### 6.3.15. Używanie PB8 jako GPIO

PB8 może być używany jako pin rozruchowy (BOOT0) lub jako GPIO. W zależności od bitu nSWBOOT0 w bajcie opcji użytkownika przełącza się on z trybu wejściowego na tryb wejściowy analogowy:

- Po fazie ładowania bajtu opcji, jeśli nSWBOOT0 = 1.
- Po resecie, jeśli nSWBOOT0 = 0.

### 6.3.16. Używanie PG10 jako GPIO

PG10 może być używany jako pin resetujący (NRST) lub jako GPIO. W zależności od bitów NRST\_MODE w bajcie opcji użytkownika, przełącza się do takich trybów:

- Reset wejście/wyjścia: domyślnie przy resecie po włączeniu zasilania lub po załadowaniu bajtów opcji NRST\_MODE = 3
- Reset tylko wejścia: po załadowaniu bajtów opcji NRST\_MODE = 1
- Tryb GPIO PG10: po załadowaniu bajtów opcji NRST\_MODE = 2

## 6.4. Rejestry GPIO

Ta sekcja zawiera szczegółowy opis rejestrów GPIO.

Podsumowanie bitów rejestru, przesunięć adresu rejestru i wartości resetowania znajduje się w tabeli na końcu rozdziału 6.4.

Rejestry peryferyjne mogą być zapisywane w trybie: słowo, pół słowa lub bajt.

### 6.4.1. Rejestr trybu portu GPIO (GPIOx\_MODER) (x = A do G)

Przesunięcie adresu: 0x00

Wartość resetowania:

- 0xABFF FFFF (dla portu A)
- 0xFFFF FEBF (dla portu B)
- 0xFFFF FFFF (dla portów C..G)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODE15[1:0]		MODE14[1:0]		MODE13[1:0]		MODE12[1:0]		MODE11[1:0]		MODE10[1:0]		MODE9[1:0]		MODE8[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODE7[1:0]		MODE6[1:0]		MODE5[1:0]		MODE4[1:0]		MODE3[1:0]		MODE2[1:0]		MODE1[1:0]		MODE0[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit y 31: 0      **MODE [15: 0] [1: 0]:** Pin y konfiguracji portu x We/Wy (y = 15 do 0)

Te bity są zapisywane przez oprogramowanie do konfiguracji trybu We/Wy.

00: Tryb wprowadzania

01: Tryb wyjścia ogólnego przeznaczenia

- 10: Tryb funkcji alternatywnej  
11: Tryb analogowy (stan resetowania)

### 6.4.2. Rejestr typu wyjścia portu GPIO (GPIOx\_OTYPER) (x = A do G)

Przesunięcie adresu: 0x04

Wartość resetowania: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 31: 16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 15: 0 **OT [15: 0]:** Pin y konfiguracji portu x We/Wy (y = 15 do 0)

Te bity są zapisywane przez oprogramowanie w celu konfiguracji typu wyjścia I/O.

0: Wyjście push-pull (stan resetowania)

1: Wyjście open-drain

### 6.4.3. Rejestr prędkości wyjściowej portu GPIO (GPIOx\_OSPEEDR) (x = od A do G)

Przesunięcie adresu: 0x08

Wartość resetowania: 0x0C00 0000 (dla portu A)

Wartość resetowania: 0x0000 0000 (dla innych portów)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSPEED15 [1:0]		OSPEED14 [1:0]		OSPEED13 [1:0]		OSPEED12 [1:0]		OSPEED11 [1:0]		OSPEED10 [1:0]		OSPEED9 [1:0]		OSPEED8 [1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSPEED7 [1:0]		OSPEED6 [1:0]		OSPEED5 [1:0]		OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 31: 0 OSPEED [15: 0] [1: 0]: Pin y konfiguracji portu x We/Wy (y = 15 do 0)

Te bity są zapisywane przez oprogramowanie do konfiguracji prędkości wyjściowej We/Wy.

00: Niska prędkość

01: Średnia prędkość

10: Wysoka prędkość

11: Bardzo duża prędkość

*Uwaga: Sprawdź dane techniczne urządzenia w celu uzyskania specyfikacji częstotliwości oraz warunków zasilania i obciążenia dla każdej prędkości.*

### 6.4.4. Rejestr pull-up/pull-down portu GPIO (GPIOx\_PUPDR) (x = A do G)

Przesunięcie adresu: 0x0C

Wartość resetowania: 0x6400 0000 (dla portu A)

Wartość resetowania: 0x0000 0100 (dla portu B)

Wartość resetowania: 0x0000 0000 (dla innych portów)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PUPD15[1:0]		PUPD14[1:0]		PUPD13[1:0]		PUPD12[1:0]		PUPD11[1:0]		PUPD10[1:0]		PUPD9[1:0]		PUPD8[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUPD7[1:0]		PUPD6[1:0]		PUPD5[1:0]		PUPD4[1:0]		PUPD3[1:0]		PUPD2[1:0]		PUPD1[1:0]		PUPD0[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 31: 0      **PUPD [15: 0] [1: 0]:** Pin y konfiguracji portu x We/Wy (y = 15 do 0)

Te bity są zapisywane przez oprogramowanie do konfiguracji podbicia i obniżania stanu We/Wy  
 00: Bez pull-up, pull-down  
 01: Pull-up  
 10: Pull-down  
 11: Zarezerwowany

#### 6.4.5. Rejestr danych wejściowych portu GPIO (GPIOx\_IDR) (x = A do G)

Przesunięcie adresu: 0x10

Wartość resetowania: 0x0000 XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit 31: 16      Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 15: 0      **ID [15: 0]:** Pin y konfiguracji portu x We/Wy (y = 15 do 0)

Te bity są tylko do odczytu. Zawierają wartość wejściową odpowiedniego portu We/Wy.

#### 6.4.6. Rejestr danych wyjściowych portu GPIO (GPIOx\_ODR) (x = A do G)

Przesunięcie adresu: 0x14

Wartość resetowania: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OD15	OD14	OD13	OD12	OD11	OD10	OD9	OD8	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit 31: 16      Zarezerwowane, muszą być utrzymywane na wartości resetowania.

Bit 15: 0      **OD [15: 0]:** Pin y konfiguracji portu x We/Wy (y = 15 do 0)

Te bity mogą być odczytywane i zapisywane przez oprogramowanie.

*Uwaga: W przypadku ustawiania / zerowania bitów atomicznych bity OD mogą być indywidualnie ustawiane i / lub resetowane przez zapis do rejestrów GPIOx\_BSRR lub GPIOx\_BRR (x = A..F).*

#### 6.4.7. Rejestr stanu bitu ustaw / reset portu GPIOx\_BSRR (x = A do G)

Przesunięcie adresu: 0x18

Wartość resetowania: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bity 31: 16 **BR [15: 0]:** Pin y resetu portu x We/Wy (y = 15 do 0)

Te bity są tylko do zapisu. Odczyt tych bitów zwraca wartość 0x0000.

0: Brak działania na odpowiednim bicie ODx

1: Reset odpowiedniego bitu ODx

*Uwaga: Jeśli ustawione są zarówno BSx, jak i BRx, to BSx ma priorytet.*Bity 15: 0 **BS [15: 0]:** Pin y ustawienia portu x We/Wy (y = 15 do 0)

Te bity są tylko do zapisu. Odczyt tych bitów zwraca wartość 0x0000.

0: Brak działania na odpowiednim bicie ODx

1: Ustawia odpowiedni bit ODx

#### 6.4.8. Rejestr blokady konfiguracji portu GPIO (GPIOx\_LCKR) (x = A do G)

Rejestr ten służy do blokowania konfiguracji bitów portu, gdy zastosowana jest poprawna sekwencja zapisu do bitu 16 (LCKK). Wartość bitów [15: 0] służy do zablokowania konfiguracji GPIO. Podczas sekwencji zapisu wartość LCKR [15: 0] nie może ulec zmianie. Gdy sekwencja LOCK zostanie zastosowana do bitu portu, wartości tego bitu nie można już modyfikować aż do następnego resetu MCU lub resetu urządzeń peryferyjnych.

*Uwaga: Specyficzna sekwencja zapisu służy do zapisu w rejestrze GPIOx\_LCKR. Podczas tej sekwencji blokowania dozwolony jest tylko dostęp do słów (o długości 32 bitów).*

Każdy bit blokady blokuje określony rejestr konfiguracji (rejstry kontrolne i funkcji alternatywnych).

Przesunięcie adresu: 0x1C

Wartość resetowania: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK
															r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bity 31: 17 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 16 **LCKK:** Klucz blokady

Ten bit można odczytać w dowolnym momencie. Można go modyfikować tylko przy użyciu sekwencji zapisu klucza blokady.

0: Klucz blokady konfiguracji portu nie jest aktywny

1: Aktywny klucz blokady konfiguracji portu. Rejestr GPIOx\_LCKR jest zablokowany do następnego resetu MCU lub resetu urządzeń peryferyjnych.

Sekwencja zapisu klucza LOCK:

WR LCKR [16] = 1 + LCKR [15: 0]

WR LCKR [16] = 0 + LCKR [15: 0]

WR LCKR [16] = 1 + LCKR [15: 0]

RD LCKR

RD LCKR [16] = 1 (ta operacja odczytu jest opcjonalna, ale potwierdza, że blokada jest aktywna)

*Uwaga:* Podczas sekwencji zapisu klucza LOCK wartość LCK [15: 0] nie może się zmienić.

*Każdy błąd w sekwencji blokady powoduje przerwanie blokady.*

*Po pierwszej sekwencji blokady dowolnego bitu portu dowolny dostęp do odczytu bitu LCKK zwraca 1 do następnego resetu MCU lub resetu urządzeń peryferyjnych.*

Bit y 15: 0      **LCK [15: 0]:** Pin y blokady portu x We/Wy (y = 15 do 0)

Te bity są odczytywane / zapisywane, ale można je zapisać tylko wtedy, gdy bit LCKK ma wartość 0.

0: Konfiguracja portu nie jest zablokowana

1: Konfiguracja portu zablokowana

#### 6.4.9. Dolny rejestr funkcji alternatywnej GPIO (GPIOx\_AFRL) (x = A do G)

Przesunięcie adresu: 0x20

Wartość resetowania: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL7[3:0]				AFSEL6[3:0]				AFSEL5[3:0]				AFSEL4[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL3[3:0]				AFSEL2[3:0]				AFSEL1[3:0]				AFSEL0[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit y 31: 0      **AFSEL [7: 0] [3: 0]:** Pin y wyboru funkcji alternatywnej portu x We/Wy (y = 7 do 0)

Te bity są zapisywane przez oprogramowanie w celu konfiguracji alternatywnych funkcji portu We/Wy.

0000: AF0

0001: AF1

0010: AF2

0011: AF3

0100: AF4

0101: AF5

0110: AF6

0111: AF7

1000: AF8

1001: AF9

1010: AF10

1011: AF11

1100: AF12

1101: AF13

1110: AF14

1111: AF15

#### 6.4.10. Górny rejestr funkcji alternatywnej GPIO (GPIOx\_AFRH) (x = A do G)

Przesunięcie adresu: 0x24

Wartość resetowania: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL15[3:0]				AFSEL14[3:0]				AFSEL13[3:0]				AFSEL12[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL11[3:0]				AFSEL10[3:0]				AFSEL9[3:0]				AFSEL8[3:0]			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bit y 31: 0      **AFSEL [15: 8] [3: 0]:** Pin y wyboru funkcji alternatywnej portu x We/Wy (y = 15 do 8)

Te bity są zapisywane przez oprogramowanie w celu konfiguracji alternatywnych funkcji portu We/Wy.

- 0000: AF0
- 0001: AF1
- 0010: AF2
- 0011: AF3
- 0100: AF4
- 0101: AF5
- 0110: AF6
- 0111: AF7
- 1000: AF8
- 1001: AF9
- 1010: AF10
- 1011: AF11
- 1100: AF12
- 1101: AF13
- 1110: AF14
- 1111: AF15

#### 6.4.11. Rejestr bitów resetu portu GPIO (GPIOx\_BRR) (x = A do G)

Przesunięcie adresu: 0x28

Wartość resetowania: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit y 31: 16      Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit y 15: 0      **BR [15: 0]:** Pin y resetu portu x We/Wy (y = 15 do 0)

Te bity są tylko do zapisu. Odczyt tych bitów zwraca wartość 0x0000.

0: Brak działania na odpowiednim bicie ODx

1: Reset odpowiedniego bitu ODx

#### 6.4.12. Mapa rejestrów GPIO

Poniższa tabela zawiera mapę rejestrów GPIO i wartości resetowania.



Tabela 33 Mapa rejestrów GPIO i wartości resetowania.

Offset	Register name	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x00	GPIOA_MODER	MODE15[1:0]	MODE14[1:0]	MODE13[1:0]	MODE12[1:0]	MODE11[1:0]	MODE10[1:0]	MODE9[1:0]	MODE8[1:0]	MODE7[1:0]	MODE6[1:0]	MODE5[1:0]	MODE4[1:0]	MODE3[1:0]	MODE2[1:0]	MODE1[1:0]	MODE0[1:0]																	
	Reset value	1 0	1 0	1 0	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	
0x00	GPIOB_MODER	MODE15[1:0]	MODE14[1:0]	MODE13[1:0]	MODE12[1:0]	MODE11[1:0]	MODE10[1:0]	MODE9[1:0]	MODE8[1:0]	MODE7[1:0]	MODE6[1:0]	MODE5[1:0]	MODE4[1:0]	MODE3[1:0]	MODE2[1:0]	MODE1[1:0]	MODE0[1:0]																	
	Reset value	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	
0x00	GPIOx_MODER (where x = )	MODE15[1:0]	MODE14[1:0]	MODE13[1:0]	MODE12[1:0]	MODE11[1:0]	MODE10[1:0]	MODE9[1:0]	MODE8[1:0]	MODE7[1:0]	MODE6[1:0]	MODE5[1:0]	MODE4[1:0]	MODE3[1:0]	MODE2[1:0]	MODE1[1:0]	MODE0[1:0]																	
	Reset value	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	1 1	
0x04	GPIOx_OTYPER (where x = )	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	
	Reset value																																	
0x08	GPIOA_OSPEEDR	OSPEED15[1:0]	OSPEED14[1:0]	OSPEED13[1:0]	OSPEED12[1:0]	OSPEED11[1:0]	OSPEED10[1:0]	OSPEED9[1:0]	OSPEED8[1:0]	OSPEED7[1:0]	OSPEED6[1:0]	OSPEED5[1:0]	OSPEED4[1:0]	OSPEED3[1:0]	OSPEED2[1:0]	OSPEED1[1:0]	OSPEED0[1:0]																	
	Reset value	0 0	0 0	0 0	1 1	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	
0x08	GPIOx_OSPEEDR (where x = )	OSPEED15[1:0]	OSPEED14[1:0]	OSPEED13[1:0]	OSPEED12[1:0]	OSPEED11[1:0]	OSPEED10[1:0]	OSPEED9[1:0]	OSPEED8[1:0]	OSPEED7[1:0]	OSPEED6[1:0]	OSPEED5[1:0]	OSPEED4[1:0]	OSPEED3[1:0]	OSPEED2[1:0]	OSPEED1[1:0]	OSPEED0[1:0]																	
	Reset value	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	
0x0C	GPIOA_PUPDR	PUPD15[1:0]	PUPD14[1:0]	PUPD13[1:0]	PUPD12[1:0]	PUPD11[1:0]	PUPD10[1:0]	PUPD9[1:0]	PUPD8[1:0]	PUPD7[1:0]	PUPD6[1:0]	PUPD5[1:0]	PUPD4[1:0]	PUPD3[1:0]	PUPD2[1:0]	PUPD1[1:0]	PUPD0[1:0]																	
	Reset value	0 1	1 0	0 1	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	
0x0C	GPIOB_PUPDR	PUPD15[1:0]	PUPD14[1:0]	PUPD13[1:0]	PUPD12[1:0]	PUPD11[1:0]	PUPD10[1:0]	PUPD9[1:0]	PUPD8[1:0]	PUPD7[1:0]	PUPD6[1:0]	PUPD5[1:0]	PUPD4[1:0]	PUPD3[1:0]	PUPD2[1:0]	PUPD1[1:0]	PUPD0[1:0]																	
	Reset value	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	
0x0C	GPIOx_PUPDR (where x = )	PUPD15[1:0]	PUPD14[1:0]	PUPD13[1:0]	PUPD12[1:0]	PUPD11[1:0]	PUPD10[1:0]	PUPD9[1:0]	PUPD8[1:0]	PUPD7[1:0]	PUPD6[1:0]	PUPD5[1:0]	PUPD4[1:0]	PUPD3[1:0]	PUPD2[1:0]	PUPD1[1:0]	PUPD0[1:0]																	
	Reset value	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	
0x10	GPIOx_IDR (where x = )	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	Res. Res.	
	Reset value																																	
		ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0																	
		x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x																	

Offset	Register name	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x14	GPIOx_ODR (where x = )	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	OD15	OD14	OD13	OD12	OD11	OD10	OD9	OD8	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	GPIOx_BSRR (where x = )	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0	BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	GPIOx_LCKR (where x = )	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	LOKK	LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
	Reset value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	GPIOx_AFRL (where x = )	7[3:0]			6[3:0]			5[3:0]			4[3:0]			3[3:0]			2[3:0]			1[3:0]			0[3:0]										
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	GPIOx_AFRH (where x = )	15[3:0]			14[3:0]			13[3:0]			12[3:0]			11[3:0]			10[3:0]			9[3:0]			8[3:0]										
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	GPIOx_BRR (where x = )	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	RIS	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 7. Niezależny nadzór (watchdog IWDG)

### 7.1. Wprowadzenie

Urządzenia STM32 mają wbudowane urządzenie peryferyjne typu watchdog, które oferuje kombinację wysokiego poziomu bezpieczeństwa, dokładności pomiaru czasu i elastyczności użytkowania. Niezależny watchdog wykrywa i usuwa usterki spowodowane awarią oprogramowania i uruchamia reset systemu, gdy licznik osiągnie określoną wartość limitu czasu.

Niezależny watchdog (IWDG) jest taktowany przez własny dedykowany zegar niskiej częstotliwości (LSI), a zatem pozostaje aktywny nawet w przypadku awarii głównego zegara.

IWDG najlepiej nadaje się w przypadku aplikacji, które wymagają, aby nadzór działał jako całkowicie niezależny proces poza główną aplikacją, ale mających mniejsze wymagania w odniesieniu do dokładności czasowej.

### 7.2. Główne cechy IWDG

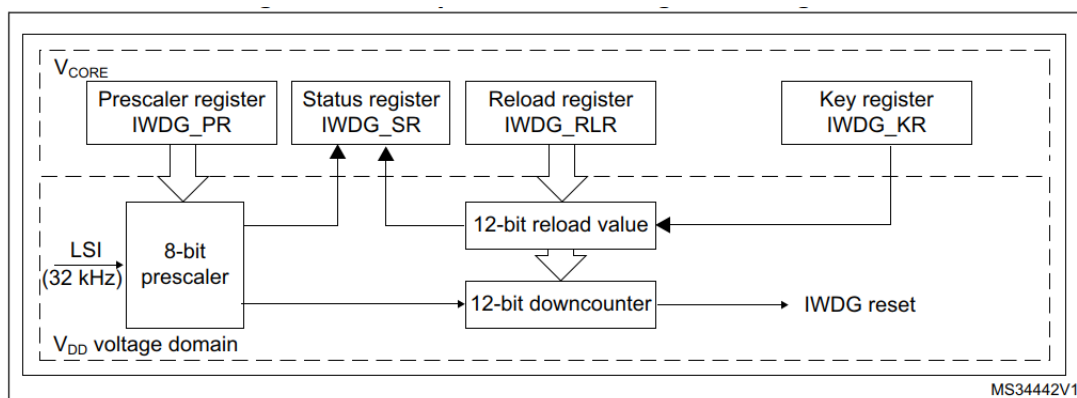
- Swobodnie działający licznik zliczania w dół (downcounter)
- Jest taktowany z niezależnego oscylatora RC (może pracować w trybach gotowości i zatrzymania)
- Reset warunkowy
  - Reset (jeśli aktywowany jest watchdog), gdy wartość zliczania spadnie poniżej 0x000
  - Reset (jeśli aktywowany jest watchdog), jeśli licznik zostanie ponownie załadowany poza okno

### 7.3. Opis działania IWDG

#### 7.3.1. Schemat blokowy IWDG

Rysunek poniżej pokazuje bloki funkcjonalne niezależnego modułu nadzorującego (watchdog).





Uwaga: Rejestru interfejsu znajduje się w domenie napięcia. Funkcja nadzoru znajduje się w domenie napięcia  $V_{DD}$  i wciąż działa w trybie gotowości.

Rysunek 23 Diagram blokowy niezależnego watchdoga

Kiedy niezależny watchdog jest uruchamiany przez zapisanie wartości 0x0000 CCCC w rejestrze kluczy IWDG (IWDG\_KR), licznik zaczyna odliczanie od wartości resetowania 0xFFFF.

Kiedy osiągnie wartość końca zliczania (0x000), generowany jest sygnał resetowania (reset IWDG).

Ileokroć wartość klucza 0x0000 AAAA jest zapisywana w rejestrze kluczy IWDG (IWDG\_KR), wartość IWDG\_RLR jest ponownie ładowana do licznika i zapobiega resetowi watchdoga.

Po uruchomieniu watchdoga IWDG nie można go już zatrzymać.

### 7.3.2. Opcja okna

IWDG może również działać w oknie watchdoga po ustawieniu odpowiedniego okna w rejestrze okien IWDG (IWDG\_WINR).

Jeśli jest wykonywana operacja przeładowania, gdy licznik jest większy niż wartość przechowywana w rejestrze okna IWDG (IWDG\_WINR), to wówczas jest wykonywany reset.

Domyślna wartość rejestru okna IWDG (IWDG\_WINR) to 0x0000 0FFF, więc jeśli nie zostanie zaktualizowana, opcja okna jest wyłączona.

Gdy tylko wartość okna zostanie zmieniona, wykonywana jest operacja przeładowania w celu zresetowania licznika do wartości rejestru przeładowania IWDG (IWDG\_RLR) i ułatwienia obliczenia liczby cykli do momentu wygenerowania następnego przeładowania.

#### Konfigurowanie IWDG gdy włączona jest opcja okna:

1. Włącz IWDG, wpisując 0x0000 CCCC w rejestrze kluczy IWDG (IWDG\_KR).
2. Włącz dostęp do rejestru, wpisując 0x0000 5555 w rejestrze kluczy IWDG (IWDG\_KR).
3. Ustaw preskaler IWDG, programując rejestr preskalera IWDG (IWDG\_PR) od 0 do 7.
4. Ustaw rejestr przeładowania IWDG (IWDG\_RLR).
5. Poczekaj na aktualizację rejestrów (IWDG\_SR = 0x0000 0000).
6. Zapisz wartości do rejestru okna IWDG (IWDG\_WINR). To automatycznie odświeża wartość licznika w rejestrze przeładowania IWDG (IWDG\_RLR).

Uwaga: Zapis wartości okna pozwala odświeżyć wartość Licznika przez RLR, gdy rejestr statusu IWDG (IWDG\_SR) jest ustawiony na 0x0000 0000.

#### Konfigurowanie IWDG, gdy opcja okna jest wyłączona

Gdy opcja okna nie jest używana, IWDG można skonfigurować w następujący sposób:

1. Włącz IWDG, wpisując 0x0000 CCCC w rejestrze kluczy IWDG (IWDG\_KR).

2. Włącz dostęp do rejestru, wpisując 0x0000 5555 w rejestrze kluczy IWDG (IWDG\_KR).
3. Ustaw preskaler, programując rejestr preskalera IWDG (IWDG\_PR) od 0 do 7.
4. Ustaw rejestr przeładowania IWDG (IWDG\_RLR).
5. Poczekaj na aktualizację rejestrów (IWDG\_SR = 0x0000 0000).
6. Odśwież wartość licznika za pomocą IWDG\_RLR (IWDG\_KR = 0x0000 AAAA).

### 7.3.3. Watchdog sprzętowy

Jeśli funkcja „Watchdog sprzętowy” jest włączona za pomocą bitów opcji urządzenia, watchdog jest automatycznie włączany po włączeniu zasilania i generuje reset, chyba że rejestr kluczy IWDG (IWDG\_KR) zostanie nadpisany przez oprogramowanie, zanim licznik osiągnie koniec zliczenia lub jeśli licznik zostanie ponownie załadowany w oknie.

### 7.3.4. Zamrożenie stanu licznika przy niskiej mocy

W zależności od konfiguracji opcji IWDG\_STOP i IWDG\_STBY, IWDG licznik może kontynuować zliczanie, odpowiednio w trybie Stop i Standby. Jeśli watchdog działa to może wzbudzić urządzenie w tych trybach.

### 7.3.5. Ochrona dostępu do rejestrów

Dostęp do zapisu w rejestrach: preskalera IWDG (IWDG\_PR), przeładowania IWDG (IWDG\_RLR) i rejestrze okien IWDG (IWDG\_WINR) jest chroniony. Aby je zmodyfikować, użytkownik musi najpierw wpisać kod 0x0000 5555 w rejestrze kluczy IWDG (IWDG\_KR). Inny kod dostępu do zapisu do tego rejestru spowoduje przerwanie sekwencji, a dostęp do rejestru zostanie ponownie zabezpieczony. Taki przypadek ma miejsce podczas operacji przeładowania (zapis 0x0000 AAAA).

Dostępny jest rejestr stanu wskazujący, że trwa aktualizacja wartości preskalera lub wartości startowej licznika lub wartości okna.

### 7.3.6. Tryb debugowania

Kiedy urządzenie przechodzi w tryb debugowania (rdzeń zatrzymany), licznik IWDG albo kontynuuje normalną pracę, albo zatrzymuje się, w zależności od konfiguracji odpowiedniego bitu w rejestrze zamrożenia DBGMCU.

## 7.4. Rejestry IWDG

Do rejestrów peryferyjnych można uzyskać dostęp za pomocą pół słów (16-bitów) lub słów (32-bitowych).

### 7.4.1. Rejestr kluczy IWDG (IWDG\_KR)

Przesunięcie adresu: 0x00

Resetuj wartość: 0x0000 0000 (reset w trybie gotowości)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit 31: 16 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 15: 0 **KEY [15: 0]:** Wartość klucza (tylko do zapisu, odczyt 0x0000)

Bit 15: 0 Bity te muszą być zapisywane przez oprogramowanie w regularnych odstępach czasu wartością klucza 0xAAAA, w przeciwnym razie watchdog generuje reset, gdy licznik osiągnie 0.

Zapis wartości klucza 0x5555 umożliwia dostęp do rejestrów IWDG\_PR, IWDG\_RLR i IWDG\_WINR.

Zapis wartości klucza 0xCCCC uruchamia watchdoga (z wyjątkiem sytuacji, gdy wybrana jest opcja sprzętowego uruchomienia watchdoga)

### 7.4.2. Rejestr preskalera IWDG (IWDG\_PR)

Przesunięcie adresu: 0x04

Wartość resetowania: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PR[2:0]		
													rW	rW	rW

Bit 31: 3      Zarezerwowane, muszą być utrzymywane na wartości resetowania.

Bit 2: 0      **PR [2: 0]:** Dzielnik preskalera

Te bity są chronione przed zapisem. Są one ustawiane przez oprogramowanie, aby wybrać dzielnik preskalera zasilający licznik. Aby można było zmienić dzielnik preskalera, bit PVU rejestru stanu IWDG (IWDG\_SR) musi zostać zresetowany,.

000: dzielnik / 4

001: dzielnik / 8

010: dzielnik / 16

011: dzielnik / 32

100: dzielnik / 64

101: dzielnik / 128

110: dzielnik / 256

111: dzielnik / 256

*Uwaga: Odczyt tego rejestru zwraca wartość preskalera z dziedziny napięcia  $V_{DD}$ . Ta wartość może nie być aktualna / ważna, jeśli trwa operacja zapisu do tego rejestru. Z tego powodu wartość odczytana z tego rejestru jest ważna tylko wtedy, gdy bit PVU w rejestrze statusu IWDG (IWDG\_SR) jest resetowany.*

### 7.4.3. Rejestr przeładowania IWDG (IWDG\_RLR)

Przesunięcie adresu: 0x08

Wartość resetowania: 0x0000 0FFF (reset w trybie gotowości)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	RL[11:0]											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bit 31: 12      Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 11: 0      **RL [11: 0]:** Wartość przeładowania licznika watchdoga

Te bity są chronione przed zapisem. Są one zapisywane przez oprogramowanie w celu zdefiniowania wartości, która powinna być załadowana do licznika watchdoga za każdym razem, gdy wartość 0xAAAA jest zapisana w rejestrze kluczy IWDG (IWDG\_KR).

Licznik watchdog startuje odliczanie od tej wartości. Limit czasu jest funkcją tej wartości i preskalera zegara.

Bit RVU w rejestrze stanu IWDG (IWDG\_SR) musi zostać zresetowany, aby można było zmienić wartość przeładowania.

Uwaga: Odczyt tego rejestru zwraca wartość przeładowania z domeny napięcia  $V_{DD}$ . Ta wartość może nie być aktualna / ważna, jeśli trwa operacja zapisu do tego rejestru. Z tego powodu wartość odczytana z tego rejestru jest ważna tylko wtedy, gdy bit RVU w rejestrze statusu IWDG (IWDG\_SR) jest resetowany.

#### 7.4.4. Rejestr statusu IWDG (IWDG\_SR)

Przesunięcie adresu: 0x0C

Wartość resetowania: 0x0000 0000 (nie resetowana przez przejście trybie gotowości Standby)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WWU	RVU	PVU
														r	r	r

Bit 31: 3 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 2 **WWU**: Aktualizacja wartości licznika okna watchdoga

Ten bit jest ustawiany sprzętowo, aby wskazać, że trwa aktualizacja wartości okna. Jest resetowany sprzętowo po zakończeniu operacji aktualizacji wartości przeładowania w domenie napięcia  $V_{DD}$  (zajmuje do pięciu cykli).

Wartość okna można zaktualizować tylko po zresetowaniu bitu WWU.

Ten bit jest generowany tylko wtedy, gdy generyczne „okno” = 1

Bit 1 **RVU**: Aktualizacja wartości przeładowania licznika watchdoga

Ten bit jest ustawiany sprzętowo, aby wskazać, że trwa aktualizacja wartości przeładowania. Jest resetowany sprzętowo po zakończeniu operacji aktualizacji wartości przeładowania w domenie napięcia  $V_{DD}$  (zajmuje do pięciu cykli).

Wartość przeładowania może być aktualizowana tylko po zresetowaniu bitu RVU.

Bit 0 **PVU**: Aktualizacja wartości preskalera watchdoga

Ten bit jest ustawiany sprzętowo, aby wskazać, że trwa aktualizacja wartości preskalera. Jest resetowany sprzętowo po zakończeniu operacji aktualizacji preskalera w domenie napięcia  $V_{DD}$  (zajmuje do pięciu cykli).

Wartość preskalera może być aktualizowana tylko po zresetowaniu bitu PVU.

*Uwaga: Jeśli aplikacja używa kilku wartości przeładowania, preskalera lub okna, to obowiązkowe jest:*

- *poczekanie, aż bit RVU zostanie zresetowany przed zmianą wartości przeładowania,*
- *odczekanie, aż bit PVU zostanie zresetowany przed zmianą wartości preskalera,*
- *poczekanie, aż Bit WWU jest resetowany przed zmianą wartości okna.*

*Jednak po zaktualizowaniu wartości preskalera i/lub wartości ponownego załadowania/okna nie trzeba czekać na zresetowanie RVU, PVU lub WWU przed kontynuowaniem wykonywania kodu, z wyjątkiem przypadku wejścia w tryb niskiego poboru mocy.*

### 7.4.5. Rejestr okna IWDG (IWDG\_WINR)

Przesunięcie adresu: 0x10

Wartość resetowania: 0x0000 0FFF (reset w trybie gotowości Standby)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	WIN[11:0]											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

Bit 31: 12 Zarezerwowane, muszą być utrzymywane wartości resetowania.

Bit 11: 0 **WIN [11: 0]**: Wartość licznika okna nadzoru

Te bity są chronione przed zapisem, zawierają górną granicę wartości dla okna do porównania z wartością startową downcountera.

Aby zapobiec resetowaniu, downcounter musi zostać ponownie załadowany, gdy jego wartość jest niższa niż wartość rejestru okna i większa niż 0x0

Aby móc zmienić wartość przeładowania bit WVU w rejestrze statusu IWDG (IWDG\_SR) musi zostać zresetowany.

*Uwaga: Odczyt tego rejestru zwraca wartość przeładowania z domeny napięcia V<sub>DD</sub>. Ta wartość może nie być poprawna, jeśli trwa operacja zapisu do tego rejestru. Z tego powodu wartość odczytana z tego rejestru jest ważna tylko wtedy, gdy bit WVU w rejestrze statusu IWDG (IWDG\_SR) jest zresetowany.*

### 7.4.6. Mapa rejestrów IWDG

Poniższa tabela przedstawia mapę rejestrów IWDG i wartości resetowania.

Tabela 34 Mapa rejestrów IWDG i wartości resetowania

Offset	Register name	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0x00	IWDG_KR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[15:0]																		
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x04	IWDG_PR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PR[2:0]		
	Reset value																																	0	0	0
0x08	IWDG_RLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	Reset value																							1	1	1	1	1	1	1	1	1	1	1	1	
0x0C	IWDG_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		
	Reset value																																		WVU	RVU
0x10	IWDG_WINR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	
	Reset value																							1	1	1	1	1	1	1	1	1	1	1	1	1

## 8. Podpis elektroniczny urządzenia

Podpis elektroniczny urządzenia STM32 jest przechowywany w obszarze pamięci systemowej modułu pamięci Flash i można go odczytać za pomocą interfejsu debugowania lub przez CPU. Zawiera zaprogramowane fabrycznie dane identyfikacyjne i kalibracyjne, które pozwalają oprogramowaniu firmowemu (firmware) lub

Projekt pt. „Prace rozwojowe oraz testy w warunkach rzeczywistych autonomicznego i inteligentnego sterownika” nr Umowy z Województwem Łódzkim, w imieniu którego działa Centrum Obsługi Przedsiębiorcy: RPLD.01.02.02-10-0006/18-00 realizowany w ramach Poddziałania I.2.2 Regionalnego Programu Operacyjnego Województwa Łódzkiego na lata 2014-2020 współfinansowanego ze środków Europejskiego Funduszu Rozwoju Regionalnego.

innym urządzeniem zewnętrznym automatycznie je pobrać i dopasowywać się do właściwości mikrokontrolera serii STM32G4.

## 8.1. Unikalny rejestr identyfikatora urządzenia (96 bitów)

Unikalny identyfikator urządzenia idealnie nadaje się:

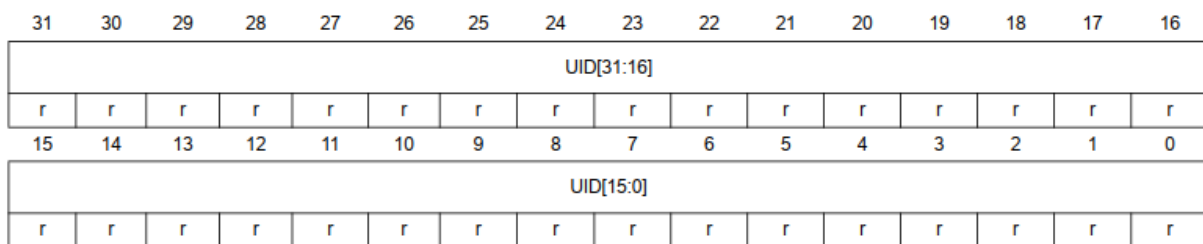
- do wykorzystania jako numery seryjne (na przykład jako numery seryjne łańcuchów USB lub numery seryjne innych aplikacji końcowych)
- do użytku jako część kluczy bezpieczeństwa w celu zwiększenia poziomu bezpieczeństwa kodu w pamięci Flash podczas używania i łączenia tego unikalnego identyfikatora ID z programowymi modułami kryptograficznymi i protokołami przed rozpoczęciem programowania wewnętrznej pamięci Flash
- w celu aktywacji procesów bezpiecznego rozruchu itp.

96-bitowy unikalny identyfikator urządzenia zapewnia numer referencyjny, który jest unikalny dla każdego urządzenia i w dowolnym kontekście. Użytkownik nie może zmienić tych bitów.

Adres bazowy: 0x1FFF 7590

Przesunięcie adresu: 0x00

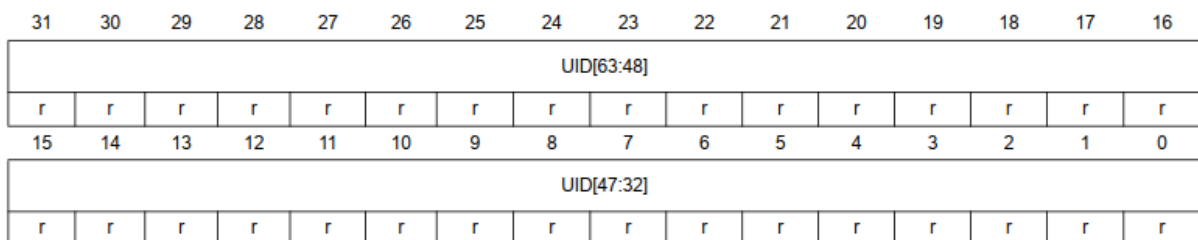
Tylko do odczytu = 0xXXXX XXXX, gdzie X jest zaprogramowany fabrycznie



Bit 31: 0      **UID [31: 0]:** współrzędne X i Y na płytce urządzenia

Przesunięcie adresu: 0x04

Tylko do odczytu = 0xXXXX XXXX, gdzie X jest zaprogramowany fabrycznie



Bit 31: 8      **UID [63: 40]:** LOT\_NUM [23: 0]

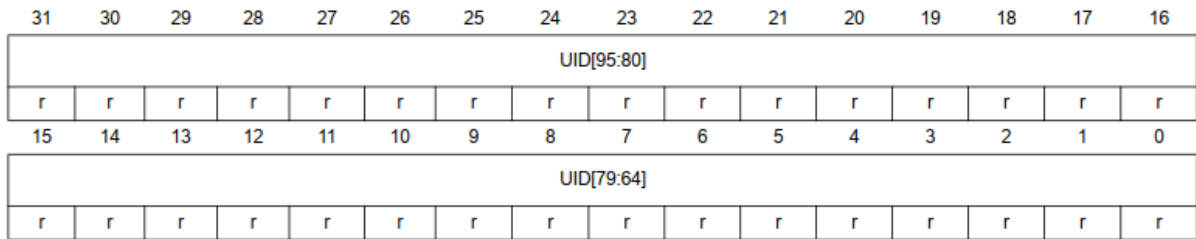
Numer partii (zakodowany w ASCII)

Bit 7: 0      **UID [39: 32]:** WAF\_NUM [7: 0]

Numer płytki (8-bitowy numer bez znaku)

Przesunięcie adresu: 0x08

Tylko do odczytu = 0xXXXX XXXX, gdzie X jest zaprogramowany fabrycznie



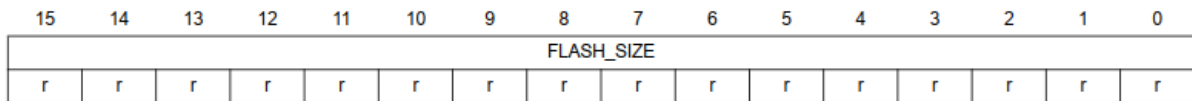
Bity 31: 0      **UID [95: 64]: LOT\_NUM [55: 24]**  
 Numer partii (zakodowany w ASCII)

## 8.2. Rejestr wielkości pamięci Flash

Adres bazowy: 0x1FFF 75E0

Przesunięcie adresu: 0x00

Tylko do odczytu = 0xXXXX, gdzie X jest zaprogramowany fabrycznie



Bity 15: 0      **FLASH\_SIZE [15: 0]:** Rozmiar pamięci flash  
 To pole bitowe wskazuje rozmiar pamięci Flash urządzenia wyrażony w kilobajtach.  
 Na przykład 0x040 odpowiada 64 KB.

KONIEC CZĘŚCI 1 PODRĘCZNIKA REFERENCYJNEGO MIKROKONTROLERÓW SERII G4